

ДИСКРЕТНАЯ ВЫЧИСЛИТЕЛЬНАЯ СРЕДА НА ЭЛЕМЕНТАХ, ОБЛАДАЮЩИХ ЗАДЕРЖКОЙ

Ю.А. Попов, Н.Е. Бочков

(Москва)

В процессе проектирования вычислительных и логических устройств различного применения авторами были получены схемные решения, попадающие под категорию дискретных вычислительных сред (ДВС) с индивидуальным поведением элементов. Предлагаемый вариант ДВС обладает некоторыми новыми свойствами, которые обуславливают ее высокую гибкость. Разработанная система управления в сочетании с полученными свойствами среды позволяет перестраивать структуру ДВС в процессе ее работы, открывая широкие возможности создания адаптивных устройств.

В работе описываются схемы логического элемента, структура среды и способ управления средой, дается оценка эффективности построения устройств на основе вычислительной среды данного типа.

Вычислительная среда была построена из элементов, способных образовывать переменные связи и выполняющих логическую функцию Пирса и функцию задержки выходного сигнала относительно входного.

При разработке элемента среды за основу была взята следующая блок-схема (рис. 1). На выходах U_1, U_2, \dots, U_n основного логического элемента (ЛЭ), выполняющего автоматически полный набор функций, стоят схемы совпадения (И). Приходящие на них управляющие сигналы Y_1, Y_2, \dots, Y_m несут инфор-

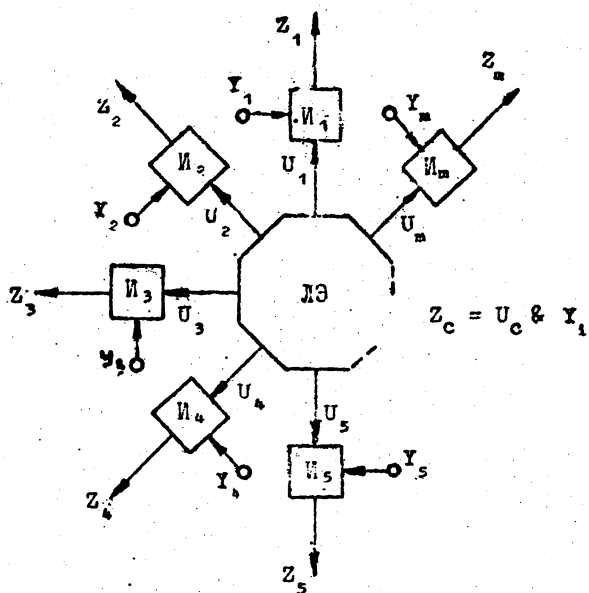


Рис. I. Блок-схема элемента
вычислительной среды ($K=I$)

мацию о необходимости установления той или иной связи между логическими элементами вычислительной среды. Переменные

Z_1, Z_2, \dots, Z_m определяются соотношением: $Z_i = U_i \cdot Y_i$, где $i = 1, 2, \dots, m$. Схемы Π_1 удалось органически включить в схему основного логического элемента.

Для построения основного логического элемента в качестве базовой схемы был взят динамический инвертор — транзисторный ключ с импульсным питанием в цепь коллектора. Кроме инвертирования входного сигнала ключ осуществляет его задержку за счет использования эффекта накопления избыточных носителей при насыщении транзисторе либо за счет заряда конденсатора. Принципиальная электрическая схема элемента вычислительной среды дана на рис. 2.

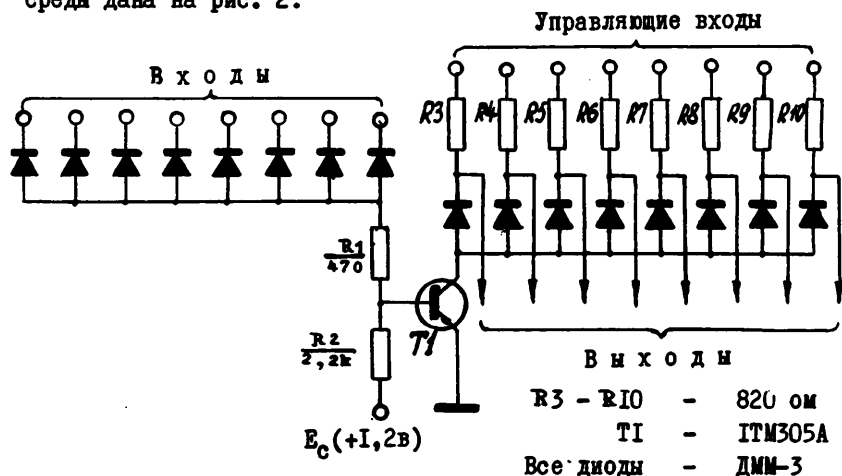


Рис. 2. Принципиальная электрическая схема элемента восьмисвязной вычислительной среды

Импульсное питание (ИП) в коллекторные цепи инвертора поступает либо после подачи входных импульсов в базовую цепь, либо одновременно с ними. Единичный входной сигнал вызывает насыщение транзистора. Сигнал импульсного питания, поступая на коллекторное сопротивление насыщенного транзистора, не проходит на выход элемента, так как все его напряжение падает на этом сопротивлении.

$z_j^{t+k_j}$ - j -ая выходная переменная в $(t+k_j)$ -ом такте;
 k_j - переменная временного режима j -го выхода элемента, она характеризует относительные временные сдвиги системы импульсного питания и равна 0 или 1 для первого варианта временного режима, либо 1 или 2 для второго варианта.

В каждом временном режиме может работать одновременно от трех до пяти коллекторных цепей элемента в зависимости от схемы. Таким образом, максимальный коэффициент разветвления элементов равен удвоенному числу допустимых коллекторных нагрузок.

На вход может быть подано одновременно от двух до восьми переменных в зависимости от типа схемы. Не допускается подача их на элемент в разных тактах в течение одного цикла работы элемента.

Описанный элемент был использован для построения вычислительной среды, структура которой изображена на рис. 3. Этот вариант среды обладает следующими параметрами.

Однородность среды максимальная, т.к. она получена повторением одного и того же минимального участка: логического элемента с управляемыми выходами, структура связей которого одинакова для всех элементов (рис. 3а).

Структура связей восьминаправленная, с максимальной глубиной $\sigma = 2$. Связи антисимметрические, обладают однократным проникновением. Элементы среды размещены в узлах плоской решетки с числом сторон $p = 4$. Кратность полюсов всех элементов $k = 2$.

Логический элемент выполняет универсальную логическую функцию Пирса и одновременно может выполнять функцию задержки. Среда характеризуется индивидуальным поведением элементов при выполнении вычислительных и логических операций.

Для вычислительной среды с описанными параметрами можно доказать, что на ней может быть реализована любая функция алгебры логики. Для доказательства был использован метод, описанный в [1]. Отличие заключалось лишь в необходимости осуществить временное согласование работы элементов среды. Эта задача была просто решена благодаря способности элемента работать как с задержкой, равной одному такту, так и без задержки.

Для доказательства универсальности рассматриваемого варианта вычислительной среды весьма важно то обстоятельство, что четное количество последовательно соединенных элементов

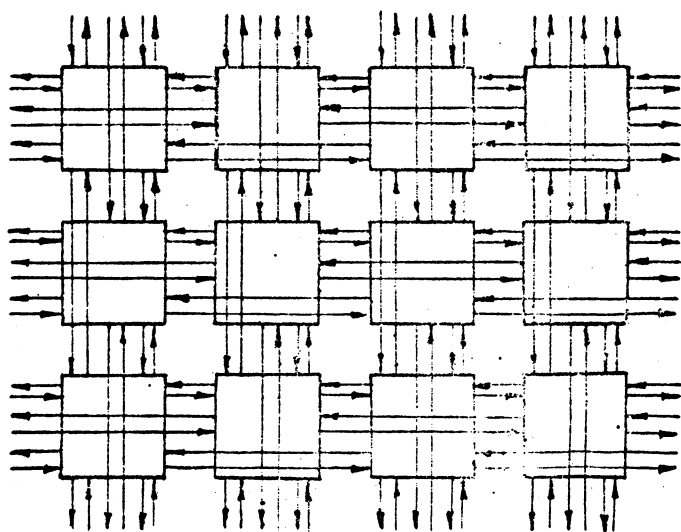
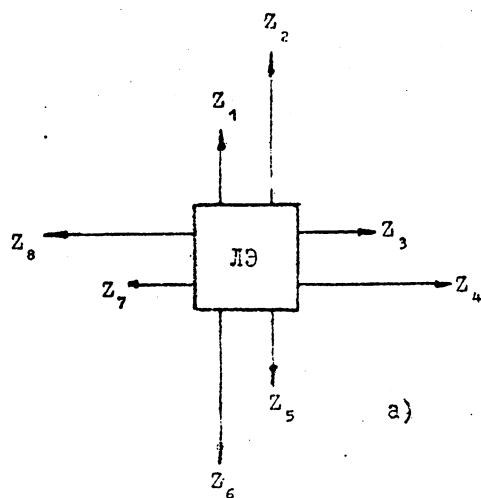
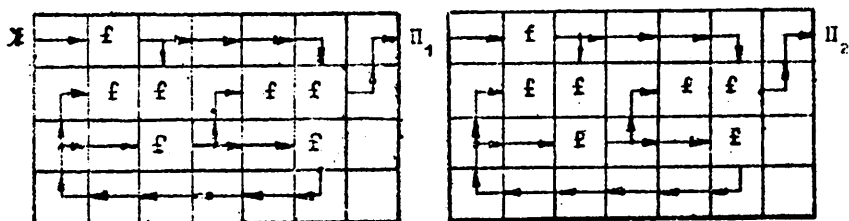


Рис. 3. Структура внешней среды

среды представляет собой элементарную линию задержки. Время задержки линии из $2m$ элементов может регулироваться заданием временных режимов работы элементов в пределах $\frac{2m}{3} \div 2m$ тактов.

Для вычислительной среды данного типа были разработаны основные схемы вычислительных устройств: регистры, счетчики, полусумматоры, сумматоры и т.д. Полученные схемы принципиально не отличаются от соответствующих примеров, приведенных в [1]. Значительное отличие заключается лишь в размещении схем в существенно меньшем объеме среды, т.к. соединительные элементы не занимают отдельных ячеек. Для сравнения на рис.4 приведены реализации 2-х разрядов счетчика.



а)

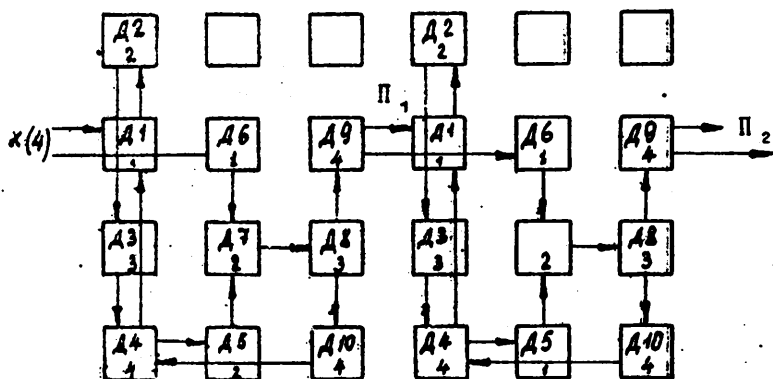


Рис.4. Примеры реализации двух разрядов счетчика

а) на среде [1]

б) на элементах с задержкой

При дальнейшем исследовании было найдено, что вычислительная среда на описанных выше элементах обладает некоторой совокупностью свойств, дающей ей преимущество перед известными вариантами сред.

Данная вычислительная среда является дискретной. Это означает, что состояние каждого элемента и соответственно состояние вычислительной среды изменяется в фиксированные моменты времени. В описываемом случае моменты переключения отдельных элементов и всей вычислительной среды в целом задаются синхронной системой импульсного питания. Это позволяет легко решить проблему четкого временного согласования работы отдельных элементов и узлов на вычислительной среде.

Весьма важным является то, что каждый элемент дискретной вычислительной среды кроме логической функции выполняет функцию запоминания информации, пришедшей на его вход в предыдущий такт. Как уже говорилось, запоминание осуществляется за счет использования эффекта накопления избыточных носителей в базовой области транзистора.

Использование этих двух свойств вычислительной среды позволяет построить систему управления средой, которая обеспечивает перестраивание вычислительной среды в процессе её функционирования без потери информации и без использования устройств промежуточного хранения информации.

Состояние рассматриваемого варианта вычислительной среды в каждом цикле определяется совокупностью управляющих сигналов. Изменение совокупности управляющих сигналов от цикла к циклу или даже от такта к такту вызывает ее перестраивание. А информация о предыдущем состоянии среды и размещении информации записывается на входах элементов среды в виде присутствия или отсутствия избыточных носителей в базовых областях транзисторов элементов.

Таким образом, существует возможность построения на одном и том же массиве ДВС последовательно во времени ряда устройств или узлов, каждый из которых выполняет часть последовательного алгоритма, результаты выполнения которой используются при выполнении следующей части этого алгоритма.

Блок-схема системы обработки информации на основе вычислительной среды состоит из двух основных частей: перестраиваемой структуры (самой вычислительной среды) и управляющего устройства, задающего управляющие связи на вычислительную сре-

ду. Управляющее устройство должно содержать в общем случае программу задания логических функций, выполняемых элементами среды, и связей между элементами.

Рассмотрим более подробно этот вариант реализации системы управления вычислительной среды и оценим его эффективность при выполнении последовательных алгоритмов.

Пусть задан для реализации алгоритм A_k . Разобьем его на части, реализация каждой из которых (оператора или группы операторов), осуществляется определенным устройством, схема которого содержит постоянные и переменные связи. Схему этого устройства в свою очередь разобьем на узлы, имеющие на протяжении некоторого отрезка времени t_i выполнения алгоритма A_k только постоянные связи между своими элементами. Таким образом, все устройство для выполнения алгоритма A_k разбивается на N_k узлов, работающих последовательно во времени и имеющих на протяжении времени их работы только постоянные связи между элементами, из которых они собраны.

Очевидно, что узлы устройств, работающие в соседних временных интервалах t_i и t_{i+1} могут отличаться друг от друга не всеми связями, а лишь некоторым их количеством.

Постоянные связи между элементами среды в интервале t_i задаются соответствующей совокупностью управляющих сигналов (управляющим словом - УС). Управляющие слова записываются в ЗУ, входящее в состав управляющего устройства, и каждое из УС считывается и подается на ДВС в течение только одного временного интервала. Но, конечно, возможен такой случай, что в интервалы t_i и t_{i+k} ($k \neq 0, k \neq 1$) алгоритм A_k будет выполняться одним и тем же узлом с одними и теми же связями.

При использовании такого варианта организации системы обработки информации на основе ДВС имеется возможность строить разные узлы устройства, работающие в разные временные интервалы, на одних и тех же элементах ДВС. Поэтому для построения устройства, выполняющего алгоритм A_k и имеющего в обычном варианте реализации (не на вычислительной среде) сложность

$I_{A_k}^- = M_{A_k}$ (для схем из универсального элемента с индексом сложности, равным 1), на вычислительной среде с таким управлением потребуется массив элементов объемом

$$(a \times b)_{A_k} = \frac{M_{A_k}}{N_k} \alpha_k \cdot \beta \quad (2)$$

где $\alpha_k \geq 1$ - коэффициент, учитывающий неравномерность объемов узлов, полученных после разбиения устройства;

$\beta \geq 1$ - коэффициент, учитывающий возможную нерациональную затрату элементов при размещении схем устройств на средах. Этот коэффициент имеет примерно одно и то же значение для всех устройств и тем меньше, чем более развита система соединений в ДВС.

Так как предполагается использовать ДВС для выполнения на ней n различных алгоритмов, выполняемых в общем случае n различными устройствами, то объем $(a \times b)$ массива элементов ДВС и количество запоминающих устройств $ЗУ_i$ для записи управляющих слов нужно выбрать так:

$$(a \times b) = \beta \cdot \max \left\{ \frac{M_{A_1}}{N_1} \alpha_1, \dots, \frac{M_{A_n}}{N_n} \alpha_n \right\}, \quad (3)$$

$$N = \max \{ N_1, N_2, \dots, N_n \}$$

При оптимальном подборе реализуемых на ДВС устройств все отношения $(M_{A_k} / N_k) \alpha_k$ должны быть равны и (2) примет вид:

$$a \times b = \alpha \cdot \beta \cdot \frac{M}{N}. \quad (4)$$

Для задания связей элемента среды, имеющего $\Omega = p \cdot k$ выходов и выполняющего универсальную функцию, необходим объем под слова $ЗУ$ в $\Omega \cdot c$ или $\log_2 (\Omega c)$ бит (если использовать дешифраторы на входах элементов), где c - количество тактов в цикле работы элемента. Если принять, что сложность одной запоминающей ячейки равна сложности одного элемента среды, то сложность ДВС (вместе с $ЗУ$) при таком варианте организации будет равна:

$$L_{ДВС}^* = L_{ДВС} + L_{ЗУ} = (a \times b) + \Omega c \cdot N \cdot (a \times b). \quad (5)$$

Перепишем:

$$L_{ДВС}^* = (a \times b)(1 + \Omega \cdot c \cdot N) = (1 + \Omega \cdot c \cdot N) \cdot \alpha \cdot \beta \cdot \frac{M}{N},$$

$$L_{ДВС}^* = \left(\frac{1}{N} + \Omega \cdot c \right) \alpha \cdot \beta \cdot M. \quad (6)$$

С другой стороны, если на ДВС такого же типа строить это же устройство сложности M , выполняющее алгоритм A_k , не разбивая данное устройство на узлы с постоянными связями, то

необходимое количество оборудования будет равно

$$L_{\text{ДВС}_1}^* = L_{\text{ДВС}_1} + L_{\text{ЗУ}_1} = \alpha \cdot \beta \cdot M + \alpha \cdot \beta \cdot M \cdot \Omega \cdot c, \quad (7)$$

или

$$L_{\text{ДВС}_1}^* = (I + \Omega \cdot c) \cdot \alpha \cdot \beta \cdot M. \quad (8)$$

Анализ соотношения

$$\frac{L_{\text{ДВС}_1}^*}{L_{\text{ДВС}}^*} = \frac{I + \Omega \cdot c}{\frac{I}{N} + \Omega \cdot c} \quad (9)$$

дает, что применение описанного способа реализации устройств на ДВС и способа управления ДВС не только не приводит к увеличению требуемого количества оборудования, но даже и уменьшает его по сравнению с обычными вариантами. Таким образом, оказывается возможным построение самоорганизующихся устройств без существенных затрат оборудования.

Л и т е р а т у р а

1. Э.В. Евреинов. Теоретические основы построения универсальных вычислительных сред. — Вычислительные системы, 1965, вып. 16.