

НЕКОТОРЫЕ ОСОБЕННОСТИ РЕАЛИЗАЦИИ ЛОГИЧЕСКИХ СХЕМ В АСИНХРОННЫХ ВЫЧИСЛИТЕЛЬНЫХ СРЕДАХ

А.И. Мишин, В.Г. Хрущев

(Новосибирск)

Быстрое развитие интегральной электроники и все более широкое её применение в различных областях науки и техники позволяет рассчитывать на создание однородных функциональных структур (сред), состоящих из одинаковых элементов с одинаковыми конфигурациями соединений между ними [1].

Можно ожидать, что дальнейшее развитие интегральных схем пойдет по пути создания сложных логических и вычислительных систем с физически однородной структурой, содержащей большое количество элементов.

Очевидно, независимо от того, какие физические принципы будут положены в основу реализации таких структур, каждая ячейка структуры будет обладать задержкой.

Время задержки сигнала в соединительных каналах логических схем, реализованных в однородной структуре, может значительно превосходить время переключения функциональных элементов и, следовательно, должно учитываться при проектировании (настройке) схем. Действительно, в вычислительных средах с физически однородной структурой функции соединительных проводников выполняют элементы среды, и число этих элементов в соединительных каналах той или иной логической схемы может быть самым различным.

В данной работе рассматриваются некоторые особенности реализации схем цифровых устройств в асинхронной вычислительной среде, выполненной на элементах потенциального типа. Один из вариантов однородной функциональной структуры приведен на рис.1.

Каждая ячейка структуры (на рис. 1а ячейка обозначена точкой, а на рис. 1б - восьмиугольником с прилегающими к нему четырехугольниками) имеет настроенную память, состояние которой определяет, какую функцию реализует ячейка.

Каждая ячейка структуры имеет возможность обмениваться сигналами с восемью соседями. Каждая ячейка восстанавливает сигнал по уровню, поэтому затухание сигналов при их распространении по структуре отсутствует.

Один из вариантов функциональной схемы ячейки приведен на рис.2. Ячейка реализует следующую логическую функцию:

$$z_i(t + \delta) = \bar{V} x_i(t) y_j(t),$$

где $x_i \in \{0,1\}$ - входные переменные, ($i = 1, 2, \dots, 8$)

$z_i \in \{0,1\}$ - выходные переменные,

$y_j \in \{0,1\}$ - управляющие переменные,

δ - задержка.

Нетрудно убедиться, что рассматриваемая структура удовлетворяет требованиям функциональной и соединительной полноты сформулированным в [1].

Реализация двоичного потенциального счетчика. Граф-схема счетчика приведена на рис.3а. Направления распространения сигналов в соединительных каналах показаны стрелками. Каждый из элементов 1, 2, 3 и 4 реализует логическую операцию "И-НЕ", а каждый из элементов $\alpha_1, \alpha_2, \beta_1, \beta_2$ - логическую операцию "ИЛИ-НЕ".

Замкнутые пути $\alpha_1 \alpha_2 \alpha_3 \alpha_4 \alpha_1$ и $\beta_1 \beta_2 \beta_3 \beta_4 \beta_1$ образуют ячейки памяти (триггера). Если через τ_{ij} обозначить задержку сигнала между точками i и j , через τ_{ij} - время распространения сигнала в цикле, через T - период следования входных сигналов и установить порядок переключения элементов 1, 2, 3 и 4

$$1 \rightarrow 3 \rightarrow 2 \rightarrow 4 \rightarrow 1, \quad (1)$$

то условия работоспособности счетчика можно записать следующим образом:

$$\tau_{01} - \tau_{02} = 2n\delta; \tau_{03} - \tau_{04} = 2n\delta; \tau_{01} - \tau_{03} = (2n+1)\delta; \quad (n = 0, 1, 2, \dots), \quad (2)$$

$$\tau_{1\alpha_2\alpha_3\beta_2\beta_3\beta_4\alpha_2\alpha_3\alpha_4\beta_1\beta_2\beta_3} \leq 2T,$$

$$\tau_{02} \leq \tau_{03\beta_2\beta_3\beta_4} = \tau_{03} + \tau_{\beta_2\beta_3\beta_4},$$

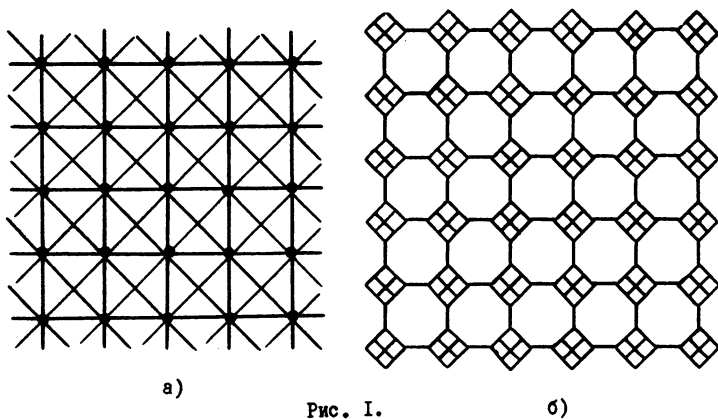


Рис. 1.

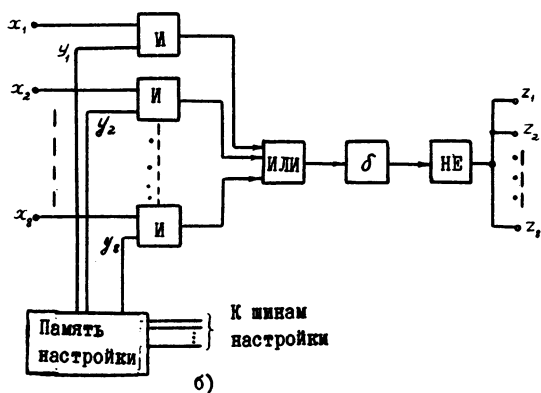
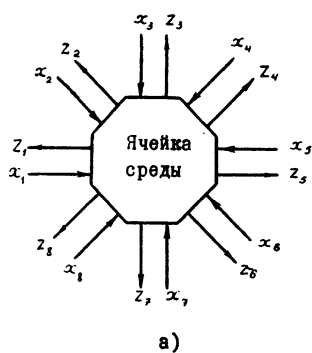


Рис. 2.

$$\begin{aligned}
\tau_{04} &\leq \tau_{02} \alpha_1 \alpha_2 \alpha_3 \alpha_4 = \tau_{02} + \tau_2 \alpha_1 \alpha_2 \alpha_3 \alpha_4, \\
\tau_{01} &\leq \tau_{04} \beta_1 \beta_2 \beta_3 = \tau_{04} + \tau_4 \beta_1 \beta_2 \beta_3, \\
\tau_{03} &\leq \tau_{01} \alpha_2 \alpha_3 = \tau_{01} + \tau_1 \alpha_2 \alpha_3.
\end{aligned} \tag{2}$$

Условия работоспособности (2) записаны при предположении, что сигнал на входе счетчика не меняется до тех пор, пока схема не придет в устойчивое состояние, т.е. те элементы, которые должны переключиться под действием этого сигнала, переключились, а те элементы, которые должны изменить свое состояние в следующем такте, полностью подготовлены. Очевидно, что в этом случае скоростные возможности схемы используются не полностью.

Возможен такой режим работы счетчика, когда входной сигнал может измениться раньше, чем схема придет в устойчивое состояние. В этом случае имеется опасность неполного переключения триггеров и, следовательно, нарушения нормальной работы. Для полного переключения триггеров необходимо, чтобы длительности запускающих сигналов удовлетворяли условиям:

$$\theta_i \geq \tau_{\alpha}, \quad i = 1, 2, 3, 4, \tag{3}$$

где θ_i - длительность сигнала на выходе i -го вентиля.

Анализируя работу схемы и учитывая (2) и (3), условия работоспособности можно записать в виде следующей системы неравенств:

$$\begin{aligned}
\tau_{13} + \tau_{\alpha} &\leq T + \Delta\tau, \\
\tau_{132} + \tau_{\alpha} &\leq \frac{1}{2} T, \\
\tau_{1324} + \tau_{\alpha} &\leq 2T + \Delta\tau, \\
\tau_{24} + \tau_{\alpha} &\leq T + \Delta\tau, \\
\tau_{241} + \tau_{\alpha} &\leq \frac{3}{8} T, \\
\tau_{2413} + \tau_{\alpha} &\leq 2T + \Delta\tau, \\
\tau_{32} + \tau_{\alpha} &\leq T - \Delta\tau, \\
\tau_{324} + \tau_{\alpha} &\leq \frac{1}{2} T, \\
\tau_{3241} + \tau_{\alpha} &\leq 2T - \Delta\tau, \\
\tau_{41} + \tau_{\alpha} &\leq T - \Delta\tau, \\
\tau_{413} + \tau_{\alpha} &\leq \frac{3}{2} T, \\
\tau_{4132} + \tau_{\alpha} &\leq 2T - \Delta\tau,
\end{aligned} \tag{4}$$

Данная система справедлива при соблюдении дополнительных условий:

$$\begin{aligned} \tau_{01} &= \tau_{02}; \quad \tau_{03} = \tau_{04}; \quad \Delta t = \tau_{01} - \tau_{03}; \\ \tau_{\alpha_3 \alpha_4 \beta_1 \beta_2} &\geq \tau_{\alpha_3 \beta_2}; \quad \tau_{\alpha_3 \beta_2 \beta_1} \geq \tau_{\alpha_3 \alpha_4 \beta_1}; \\ \tau_{\beta_3 \beta_4 \alpha_1 \alpha_2} &\geq \tau_{\beta_3 \alpha_2}; \quad \tau_{\beta_3 \alpha_2 \alpha_1} \geq \tau_{\beta_3 \beta_4 \alpha_1}; \quad \tau_{u_1} = \tau_{u_2} = \tau_u. \end{aligned} \quad (5)$$

Используя систему неравенств (2) и (4) и считая задержки всех элементов одинаковыми, найдем максимальное быстродействие счетчика. Один из вариантов счетчика представлен на рис. 3 б.

Приведенная схема не является оптимальной с точки зрения быстродействия и затрат элементов и выбрана только для примера. В рассматриваемой схеме $\tau_{13} = 12$; $\tau_{32} = 8$; $\tau_{24} = 16$;

$\tau_{41} = 6$; $\tau_u = 8$. Область устойчивой работы счетчика в координатах T и Δt приведена на рис. 4. Из рис. 4 видно, что с уменьшением времени переключения "циклов" быстродействие схемы будет определяться временем распространения сигналов в соединительных каналах. Если же время задержки сигналов в соединительных каналах меньше времени переключения запоминающих элементов, что имеет место в обычных схемах, то быстродействие схемы определяется длиной циклов.

Реализация двоичного импульсного счетчика. Схема двоичного импульсного счетчика представлена на рис. 5. Для нормальной работы такого счетчика необходимо выполнить условия:

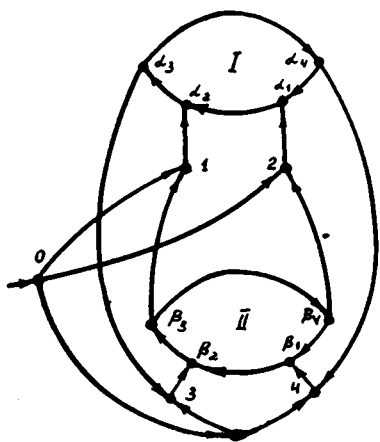
$$\begin{aligned} \tau_{343} &\leq \theta_0 \leq \min\{\tau_{24351}; \tau_{13462}\}; \\ \min\{\tau_{1351}; \tau_{2462}\} &\geq \tau_{343}, \end{aligned}$$

где θ_0 — длительность сигнала на выходе формирователя,

$$\theta_0 = \tau_{\alpha_1 \alpha_2 \alpha_3 \alpha_4 \alpha_5} - \tau_{\alpha_1 \alpha_5}.$$

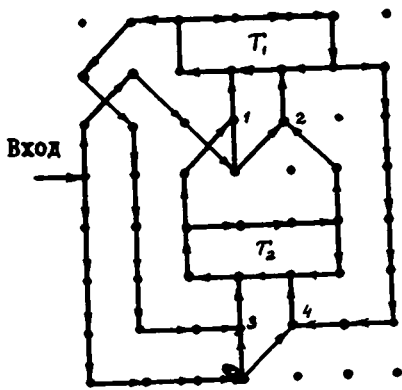
Для получения сигнала нужной длительности входной сигнал вначале поступает на схему формирователя длительности, а затем на вход счетчика. Формирователь длительности выполняет функции дифференцирующей RC или RL — цепи. Условия работоспособности схем сумматоров, регистров и т.д. могут быть записаны так же, как это сделано в рассмотренных примерах. Схема сумматора последовательного действия представлена на рис. 6.

Отдельные схемы цифровых устройств моделировались на макете, выполненном на полупроводниковых приборах.



а)

Рис. 3.



б)

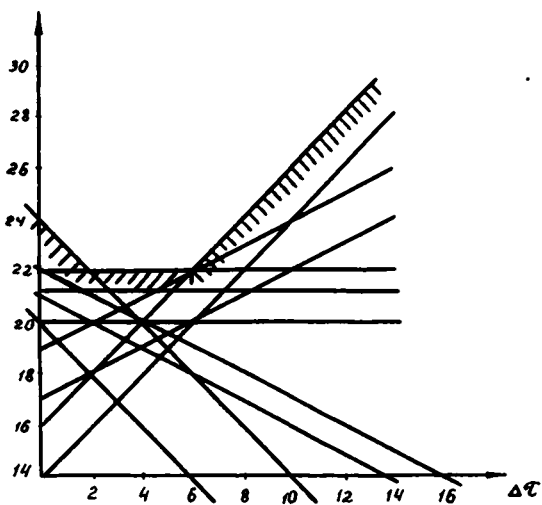


Рис. 4.

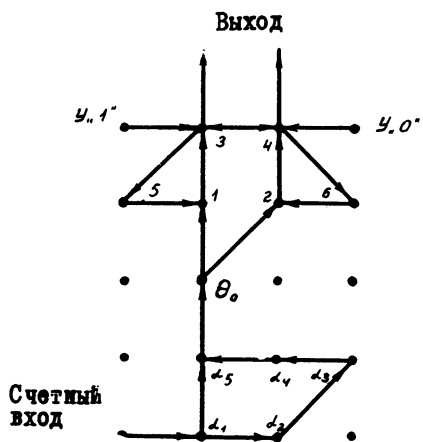


Рис. 5.

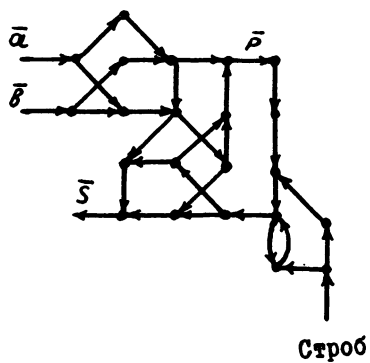


Рис. 6.

Л И Т Е Р А Т У Р А

1. Э.В. Евреинов. Теоретические основы построения универсальных вычислительных сред. "Вычислительные системы", Новосибирск, 1965г, вып. 16.