

## АРИФМЕТИЧЕСКИЙ УЗЕЛ НА ОДНОРОДНЫХ ТРАНЗИСТОРНЫХ МАТРИЦАХ

Г.М. Попова, Т.В. Кузовкина, И.В. Прангшвили

(Москва)

Время решения задач на цифровых вычислительных машинах в основном зависит от быстродействия арифметических устройств (АУ). Сокращение времени решения задач может быть достигнуто как за счет повышения быстродействия АУ, так и за счет использования нескольких арифметических устройств. В последнем случае программа разбивается на подпрограммы, которые выполняют одновременно.

В данной работе рассматривается повышение быстродействия АУ за счет использования новых принципов выполнения арифметических операций.

Для обмена информацией между человеком и машиной желательно использовать десятичную систему счисления. Но из-за наличия элементов с двумя устойчивыми состояниями (0,1) в машинах используют двоичную систему счисления. Выполнение арифметических действий над двоичными числами проще, чем над десятичными, однако для записи какого-либо числа в двоичной системе необходимо больше разрядов, чем в десятичной. Кроме того, при наличии элемента с десятью устойчивыми состояниями время умножения чисел в десятичной системе очевидно, будет меньше, чем в двоичной. В этом случае для электронных настольных машин, отпадает необходимость делать промежуточные преобразования одной системы в другую ( $10 \rightarrow 2$ ,  $2 \rightarrow 10$ ).

Наряду с требованием увеличения быстродействия к вычислительным машинам предъявляются все более растущие требования уменьшить габариты, вес и потребление энергии. С

развитием микроэлектроники, и особенно полупроводниковых интегральных схем, появляется возможность по-новому строить вычислительные устройства с учетом всех достоинств и особенностей технологии изготовления таких схем.

Одним из наиболее перспективных способов улучшения технологичности производства блоков и устройств на твердых схемах является использование однородных структур. Такие структуры состоят из одинаковых элементов, соединенных одинаковым образом [1].

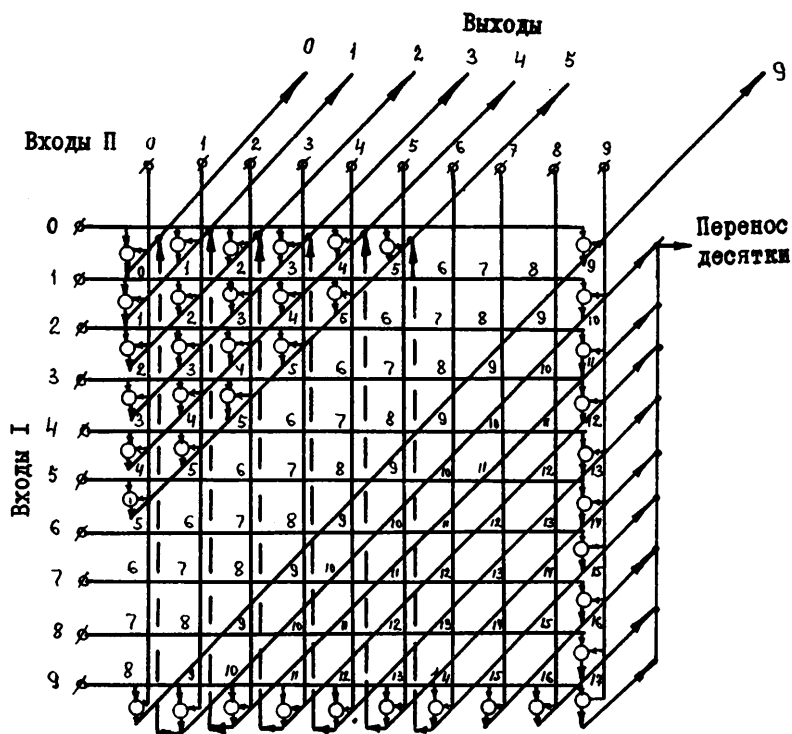
Новый подход к построению схем на матрицах заключается в создании моделей арифметических таблиц для цифровых систем с основанием, большим чем 2 [2].

Матрица - элемент с десятью состояниями - представляет собой прямоугольную решетку проводников, в узлах которой расположены вентили "И". Такие матрицы на обычных или полевых транзисторах, изготовленных в интегральном виде, используются для сложения, вычитания и умножения. Каждая матрица и входы её используются для всех этих операций одинаковым образом. Электрическая схема матрицы сложения и технология её изготовления подробно рассмотрены в работе [2]. Операция деления выполняется итерационным путем с использованием блока умножения.

Рассмотрим матрицу сложения двух десятичных чисел (рис. 1). Две складываемые цифры представлены соответственно определенной строкой и столбцом матрицы вентилях "И". Благодаря правильному расположению (по диагонали) одинаковых результатов, появляется возможность объединить общей шиной выходы вентилях "И", лежащих на одной диагонали сетки (матрицы). Кроме того, количество выходных шин уменьшается при объединении одинаковых цифр единиц и десятков (перенос в следующий разряд).

Эта же матрица может производить вычитания двух одноразрядных десятичных чисел, если для уменьшаемого и вычитаемого использовать те же строки и столбцы, а выходы схем "И" (результаты вычитания) объединить по диагонали, как показано на рис. 2. Когда уменьшаемое меньше вычитаемого, получается отрицательный результат. Для получения положительного результата необходимо сделать заем (десятки) с предыдущего разряда.

Матрица умножения двух одноразрядных чисел представлена на рис. 3. При умножении тоже наблюдается некоторая симметрия в расположении произведений. По отношению к диагонали АВ все результаты симметричны, а по отношению к диагонали СД симмет-



МАТРИЦА СЛОЖЕНИЯ

Рис. I.

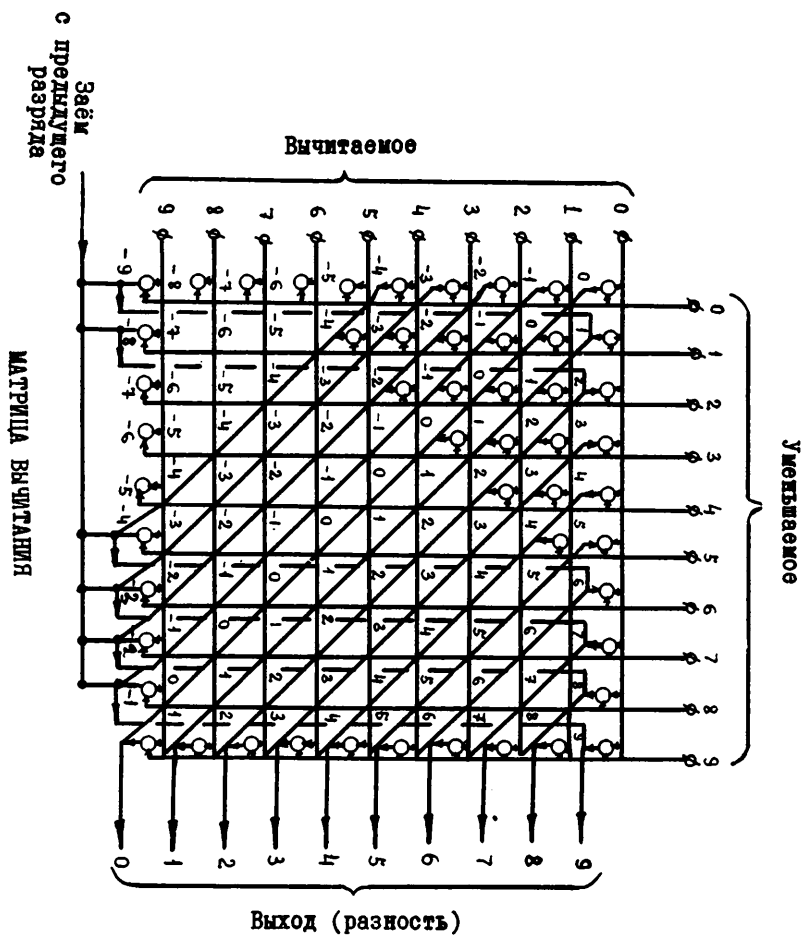


Рис. 2.

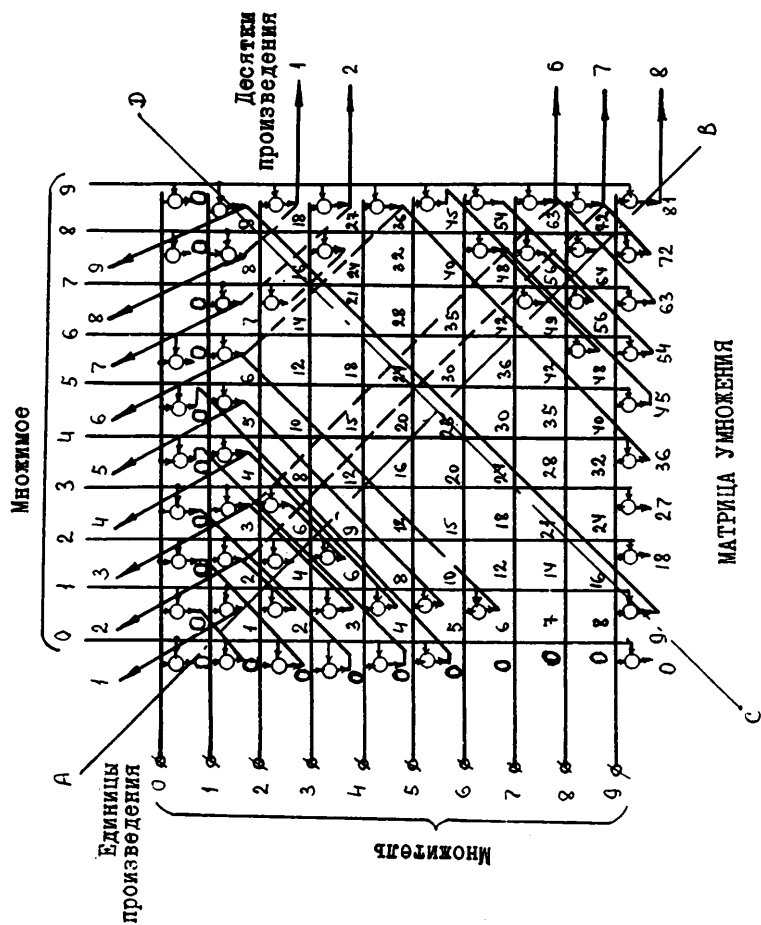


Рис. 3.

ричны цифры младших разрядов. Таким образом, объединив одинаковые цифры единиц и десятков, получим картину расположения выходных шин матрицы умножения.

Имея матрицы для выполнения арифметических операций над одноразрядными числами, можно построить устройство для действий над многоразрядными числами. Рассмотрим умножение многоразрядных чисел. Операция производится за один такт за счет распараллеливания множимого на количество разрядов множителя, т.е. за один такт происходит умножение всех разрядов множимого на все разряды множителя. Принцип умножения поясним на примере (рис.4). Найдем произведение чисел  $7354 \times 865$ . Запишем множимое столько раз, сколько разрядов у множителя, т.е. 3 раза, и умножим на 8, 6, 5. Причем при умножении будем писать единицы в первом ряду, десятки - во втором, со сдвигом, а затем, сложим оба ряда:

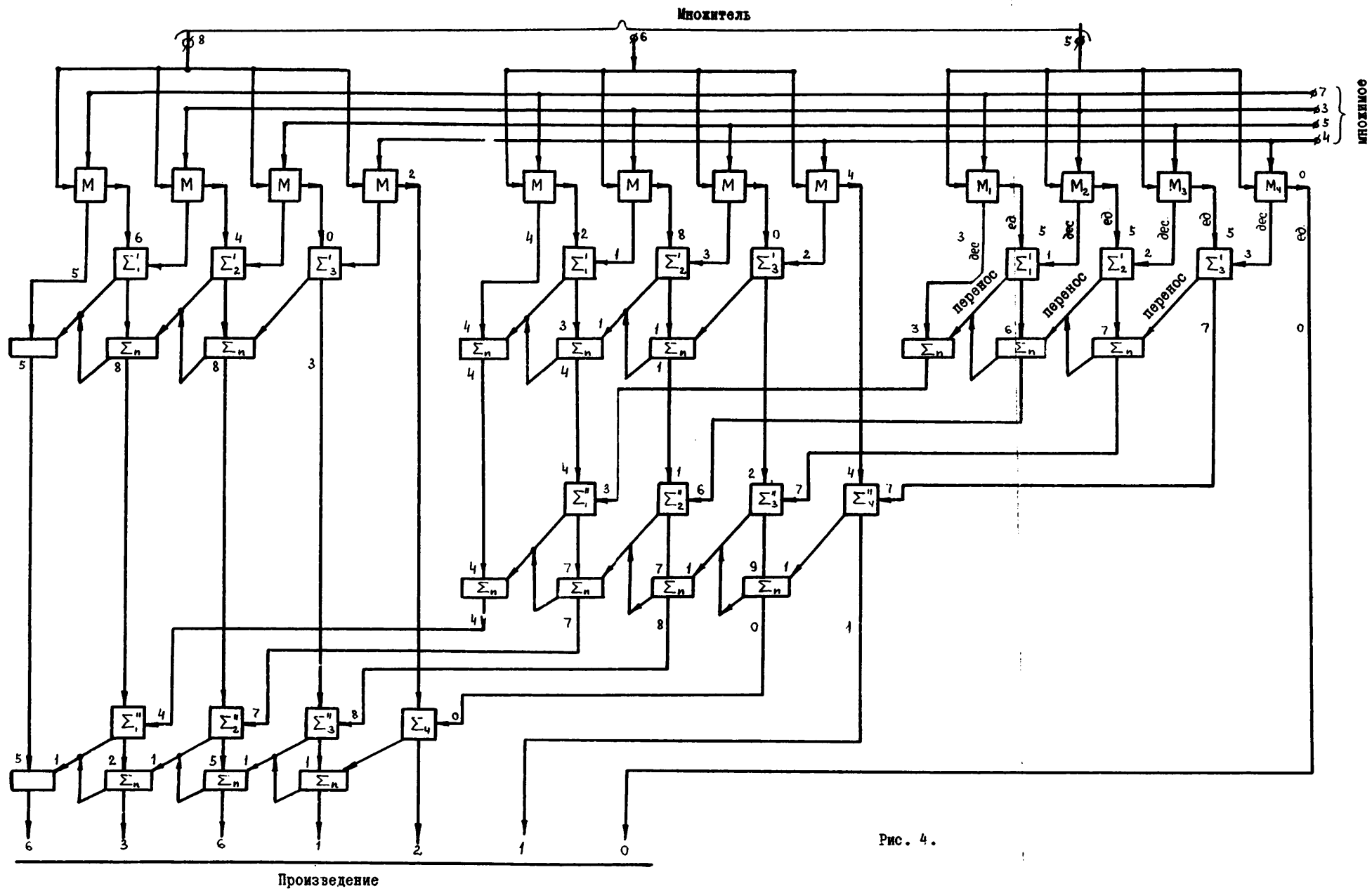
7354	7354	7354
x 8	x 6	x 5
6402	2804 - единицы	5550
+5243	+4132 - десятки	+3122
58832	43124	36770
	+ I	
	44124	

Полученные результаты (первое число со сдвигом) вновь складываем, учитывая, что единицы результата сложения записываются в первом ряду, десятки (перенос) - во втором.

36770	478010
44124	58832
477910	5251210
+ I	III - перенос
478010	6361210

Заметим, что передача сигнала переноса происходит не по ряду сумматоров, а с одного ряда на другой. Это обеспечивает одновременную работу сумматоров целого ряда. Единица переноса складывается с основным числом на отдельных матрицах сложения переносов  $\Sigma_n$ . Перенос может принимать одно из двух значений: 0 или I. Поэтому матрица будет размером  $10 \times 2$ .

Количество матриц, необходимое при умножении  $m$  - разрядных



чисел на  $n$  -разрядные, можно подсчитать по формуле

$$N = \underbrace{m \cdot n}_M + \underbrace{n(n-1)}_{\Sigma'} + \underbrace{m(n-1)}_{\Sigma''}$$

без учета матриц переноса. Для  $m = n = 6$ , т.е. для умножения 6-разрядных десятичных чисел, необходимо иметь 96 матриц размером (10 x 10).

Для уменьшения количества оборудования можно произвести округление результата по правилу дополнения. Если при умножении  $m$  -разрядного множимого на  $n$  -разрядный множитель (при  $m > n$ ) в  $(m + 1)$  -ом разряде произведения находится число, большее или равное 5, то в  $m$  -ый разряд прибавляется единица.

Тогда при  $m = n = 6$  потребуется 66 матриц, чтобы получить шесть точных знаков произведения и седьмой дополнительный.

Если сделать матрицу на три входа и складывать три числа (рис.5), то количество суммирующих матриц значительно сократится и, следовательно, уменьшится время умножения. Матрица на 3 входа состоит из двух матриц: обычной (размером 10x10) и матрицы 10 x 20. При этом надо учесть, что матрица переносов будет размером не 10 x 2, а 10 x 3.

На рис.6 представлена блок-схема матричного устройства для перемножения двух 6-разрядных чисел, работающая по вышеописанному принципу с учетом округления результатов и использованием матриц на 3 входа. Данное устройство содержит 6 рядов (количество разрядов множителя) по 6 матриц умножения в каждом (количество разрядов множимого). В таком устройстве общее количество матриц будет:

$$N = m \cdot n + n(m-1) + \frac{n}{2}(m+1).$$

Если  $n$  -нечетное, в частном от деления его на 2 учитываем только целую часть числа. Следовательно, для матричного умножающего устройства с учетом округления результата и использования матриц на 3 входа требуется 58 матриц, из которых 7 - на 3 входа. Количество матриц также значительно сократится при многократном их использовании, т.е. если  $m$  - разрядное множимое поочередно умножить на каждый  $n$  -ый разряд множителя. Но с уменьшением количества матриц более чем в 2 раза становится необходимой память для запоминания промежуточных результатов, а её наличие приведет к нарушению однородности арифметического устройства.

Если производится умножение десятичных дробей (или смс-



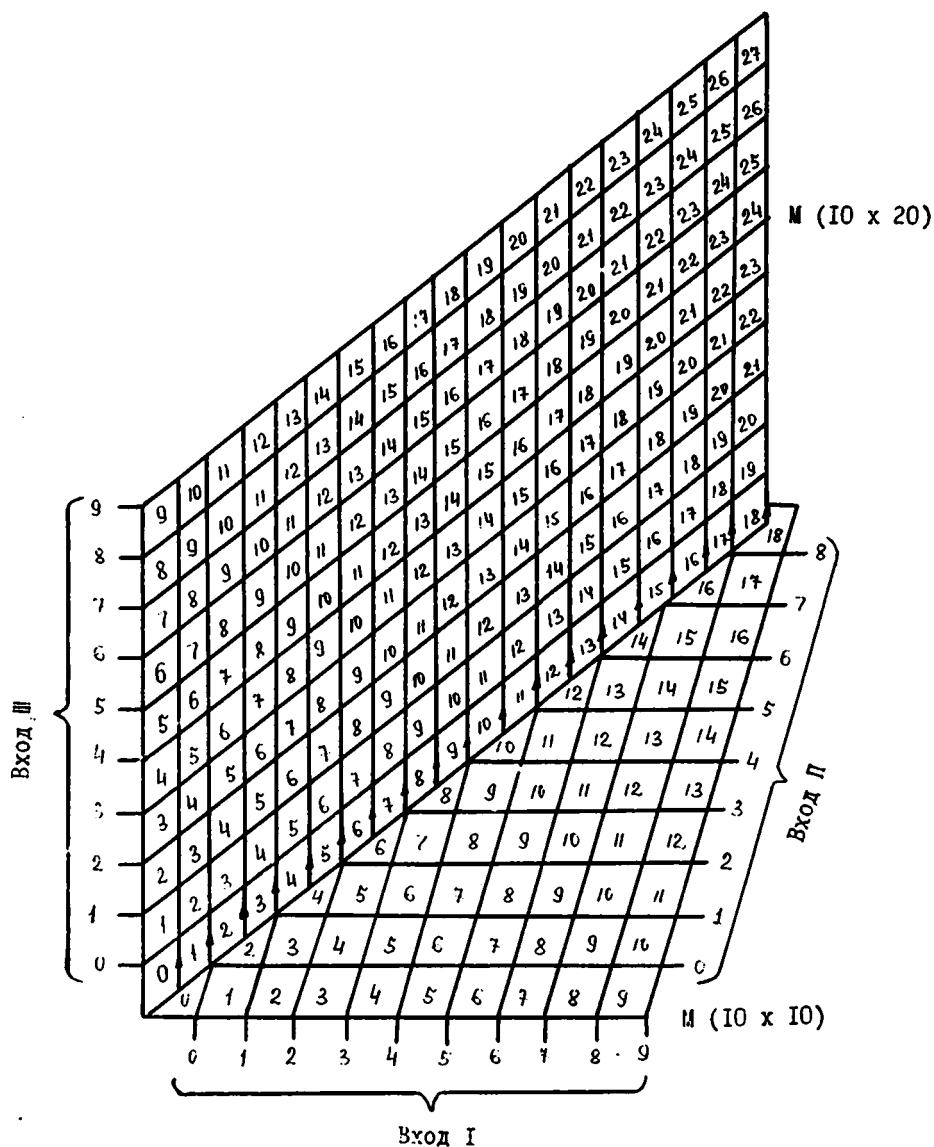


Рис. 5.

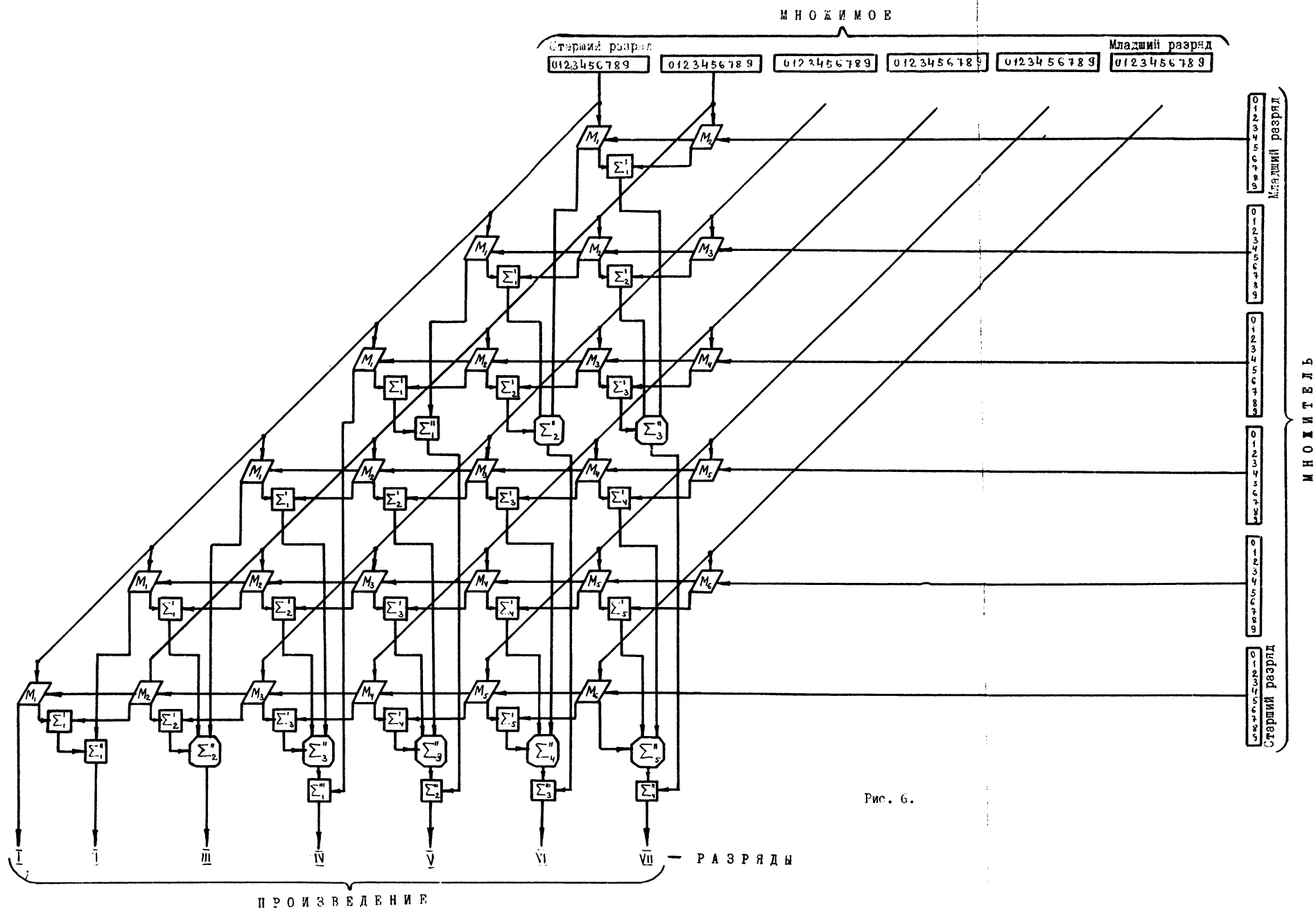


Рис. 6.

шанных чисел), то для определения положения запятой в результате служит специальная матрица (рис.7)

Как было сказано выше, деление можно выполнить через умножение делимого на число, обратное делителю  $y = \frac{1}{x}$ , которое определяется итерационным способом по формуле

$$y_{n+1} = y_n (2 - y_n x).$$

Блок-схема устройства для выполнения операции деления представлена на рис.8. Начальное значение  $y_0$  подобрано таким образом, чтобы операцию деления можно было выполнить за 4 итерации, получив при этом шесть точных знаков и один дополнительный.

Можно предположить, что предлагаемое арифметическое устройство будет обладать высокой надежностью. Согласно установленным представлениям, надежность интегральных схем почти не зависит от числа компонентов, входящих в схему, а определяется в основном количеством внешних выводов из схемы. В данном случае, несмотря на то, что матрица, имеющая размер  $10 \times 10$ , содержит в себе 100 элементов "И", количество выходов будет сравнительно невелико.

Кроме того, упрощается применение резервирования. А именно, если увеличить размер матрицы (сделать больше, чем  $10 \times 10$ ), то при обнаружении дефектов поврежденные компоненты можно быстро заменить резервным путем замены всей строки (столбца) на которых расположены отказавшие элементы.

В заключение отметим, что разработанный арифметический блок на однородных транзисторных матрицах, отличающийся высокой надежностью, технологичностью при изготовлении его в интегральном виде и высоким быстродействием, может использоваться как в качестве самостоятельного малогабаритного устройства, так и в качестве АУ в вычислительных машинах, где необходимо повысить быстродействие за счет распараллеливания алгоритмов.

## Л И Т Е Р А Т У Р А

1. И.В. Прангшвили, Е.В. Бабичева, В.В. Игнатушенко. - Новые принципы реализации логических и вычислительных устройств на основе однородных микроэлектронных структур. - Автоматика и телемеханика, 1965, т.26, № 10.





2. Alexsander. Integrated Circuits - New Thought on Computer Circuit Design.- Microelectronics and Reliability, 1964, vol.3, N 2, p.81.