

II. РЕАЛИЗАЦИЯ ВЫЧИСЛИТЕЛЬНЫХ СРЕД

II-1

АЧАСОВА С.М. Исследование устойчивости криотронного автомата на ЦВМ. - "Вычислительные системы". Новосибирск, "Наука" Сиб. отд., вып. 33, с. 74-85.

Отыскивается динамическая оценка надежности - область устойчивости стационарных состояний автомата (А) - для асинхронного А, реализованного схемой с каскадной обратной связью [У1-4] в криотронной вычислительной среде.

Изучение динамических процессов в А с помощью ЦВМ показало, что область параметров α и β (α - коэффициент внутренней обратной связи, β - порог разрешения сверхпроводимости), при которых динамическая оценка составляет $\Delta x = 0,3$, довольно велика. Задавая параметры в пределах $0 \leq \alpha \leq 0,5$ и $0,45 \leq \beta \leq 0,75$, можно построить А с хорошей динамической оценкой надежности.

II-2

АЧАСОВА С.М. Формальный метод записи системы дифференциальных уравнений для криотронных автоматов по их логическому описанию. - "Вычислительные системы", Новосибирск, 1970, вып. 40, с. 149-161.

Излагается метод перехода от логического представления автомата в виде матрицы инцидентий [У1-3] к системе уравнений, описывающих переходный процесс в автомате, реализованном в криотронной вычислительной среде. Учитываются индуктивности только сеток криотронов, и предполагается, что шунтирование автомата ВСр отсутствует.

В результате решения полученной системы дифференциальных

и алгебраических уравнений определяется область устойчивости автомата в зависимости от параметров триггеров.

III-3

АЧАСОВА С.М., ФОМЕЛЬ Б.М. Алгоритм исследования устойчивости синхронных автоматов на триггерах. - В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция У. Новосибирск, 1969, с. 110-112.

На примере триггерной вычислительной среды показывается, что для обеспечения условий надежной работы различных схем в среде конечно-автоматную модель этих схем нужно дополнить непрерывной динамической моделью (система дифференциальных уравнений для схемы).

Надежная работа асинхронного автомата (А), характеризуется величиной области устойчивости стационарных состояний А. Размеры областей устойчивости определяются на основании динамической модели как функции параметров схемы.

III-4

БАНДМАН О.Л. Триггерный элемент вычислительной среды, построенный по принципу "двойной логики". - "Вычислительные системы". Новосибирск, 1967, вып. 26, с. 121-129.

Предлагается схема элемента ВСр, построенного по принципу "двойной логики", и изучаются особенности её работы. Принцип "двойной логики" заключается в том, что логические ячейки состоят из двух параллельных ветвей: в одной организуется функция алгебры логики, в другой - её отрицание. Элемент вычислительной среды исполняет полный набор соединительных функций, функцию "штрих Шеффера" и её отрицание. Принцип "двойной логики" позволяет организовать функцию памяти в каждом элементе.

III-5

БАНДМАН О.Л. Применение триггеров для реализации вычислительной среды. - В кн.: Всесоюзное совещание по триггерной технике, 3-е. Киев, апр., 1967. Киев, 1968, с. 24-33.

Приводятся несколько вариантов схем триггерной вычислительной среды (ВСр). Дается описание их работы и некоторые техни-

ческие характеристики. Приводятся результаты испытаний. Перечисляется ряд нерешенных проблем, связанных с созданием триггерной ВСр.

III-6

БАНДМАН О.Л. Применение триггеров для реализации элементов вычислительной среды. - В сб.: Вычислительные системы. Труды симпозиума. Новосибирск, май, 1966 г. Новосибирск, 1967, с. 272-277.

Показано, что из всех существующих сверхпроводящих элементов наиболее подходящим кажется обычный поперечный триггер, который удовлетворяет требованиям, предъявляемым к вычислительным средам (ВСр). Приведены схемы реализации элементов ВСр на триггерах.

III-7

БАРТЛЕТ, МЕДЖ, СПРИНДЖЕР. Серийные модули быстродействующих ассоциативных ЭУ. - "Электроника", 1970, № 17, с. 23-25.

Описаны в общих чертах принципы построения и применения ассоциативных запоминающих устройств (АЗУ). Для достижения максимального быстродействия предлагается изготавливать логические схемы сравнения и запоминающие элементы в виде единой структуры с максимально возможным увеличением числа бит на модуль. Указывается, что достижения технологии позволяют создавать стандартные модули биполярных АЗУ, обладающие большим по сравнению с МОП-структурами быстродействием. Описана конструкция одного из таких модулей емкостью 16 бит, выполненного на пластике размерами (2 x 2,4) мм с 24 выводными контактами; потребляемая мощность составила 30 мвт/бит, температурный диапазон -55 - +125°C, логика диодно-транзисторная.

III-8

БЕЛЯВСКИЙ В.Л., ГОРБАТОВ В.А. Однородные структуры на ключевых матрицах (К-матрицах). - В кн.: Докл. Научно-техн. конференции по итогам научно-исслед. работ за 1968-1969 гг. Моск. энерг. ин-т, 1970 г. Секц. Автомат., вычисл. и измерит. техники. Подсекц. Теория графов. М., 1970, с. 96-106.

Рассматривается связь пороговой логики с построением однородных структур, реализующих заданные булевы функции. Утвер-

дается, что в существующих физических моделях пороговых элементов (ПЭ) заложены принципы "аналогового" представления информации, затрудняющего создание ПЭ с большими логическими возможностями (большие величины суммы весовых входных переменных и порога возбуждения элемента) из-за разброса параметров схемных элементов, источников питания и т.д. Предлагается "цифровой" принцип представления информации при реализации ПЭ, основанный на ключевой матрице (К-матрице). Дается описание структуры К-матрицы и принцип её функционирования. Излагается методика построения К-матрицы. Приводятся оценки параметров К-матриц при реализации на них всех типов булевых функций от 4 переменных с использованием критерия оптимальности по управлению.

II-9

БЕЛЯЕВ Е.И., МИНИН А.И., ХРУЩЕВ В.Г. Элементы вычислительной и запоминающей среды с переменной структурой настройки на МОП-транзисторах. — "Вычислительные системы". Новосибирск, "Наука" Сиб. отд., 1969, вып. 33, с. 115-140.

Рассмотрены элементы структурно однородных логических и запоминающих устройств с переменной структурой настройки, построенные на базе перестраиваемого регистра сдвига. Количество адресных каналов у этих структур не зависит от их емкости и определяется числом управляющих входов у одного элемента. Приводятся принципиальные схемы элементов, построенные на полевых транзисторах по принципу схем с непосредственными связями. Производится граничный статический расчет условий работоспособности схем при разбросах всех схемных параметров. Находится минимальное значение напряжения питания, и дается оценка зависимости этого параметра от числа логических входов для схем "НЕ-ИЛИ" "НЕ-И".

III-10

ВЕЙЦ А.В., ПРАНГИШВИЛИ И.В. Однородные структуры с последовательным управлением на основе БИС. — В кн.: Цифровые модели и интегрирующие структуры. Труды межузовской науч. конф. по теории и принципам построения цифровых моделей и цифровых интегрирующих машин. Таганрог, сент., 1968 г. Таганрог, 1970, с. 276-281.

Рассматривается способ настройки однородных структур (ОС) при ограниченном числе настроечных входов в структуру. В пре-

дельном случае (существует только один вход настройки) алгоритм настройки заключается в последовательной передаче от элемента к элементу настроечного кода, определяющего функцию элемента и выбор одного из четырех соседей. В этом случае время настройки равно n тактам, где n — число настраиваемых элементов. Для сокращения времени настройки предлагаются способы отвлечения каналов настройки: метод повторной записи и метод прямого переключения. Предлагаемый способ настройки ускоряет элемент в 2 раза и увеличивает время настройки в $3n$ раз (для ОС размерами $n \times m$) по сравнению с координатным способом.

III-11

ВИГАНТ В.В., КАНКОВСКИЙ В.Л., КУПРИЯНОВ П.Г. О выборе схемного элемента для однородных вычислительных структур. — В кн.: Однородные вычислительные структуры. Ч. I. М., 1969, с. 43-62.

Предлагаются пороговые элементы, предназначенные для построения однородных вычислительных структур. Дается обзор известных нейронподобных элементов, к недостаткам которых отнесено наличие в их схемах большого числа активных компонент. Предложены элементы строятся на основе приборов с отрицательным сопротивлением, что позволяет обеспечить мнение одним прибором одновременно функций порогового элемента, элемента задержки и формирователя. Приведены схемы элементов на основе туннельного диода, динодатора и транзистора.

III-12

ГУРКО В.Ф. Криотронный элемент вычислительной среды с переключающей ячейкой. — "Вычислительные системы", Новосибирск, "Наука" Сиб. отд., 1967, вып. 26, с. 97-105.

Предлагается усовершенствовать одну из наиболее общих схем криотронного элемента вычислительной среды с тем, чтобы устранить влияние тока и дополнительное выделение тепла. Этот эффект достигается введением в цепь рабочего индуктора переключающей ячейки. Введение переключающей ячейки расширяло допуски на изменение тока питания, что позволило увеличить технологические допуски на другие параметры криотронов. Усовершенствованный элемент испытан в жидком гелии.

Ш-13

ГУРКО В.Ф. Результаты экспериментальной проверки макета криотронной вычислительной среды. — "Вычислительные системы". Новосибирск, "Наука" Сиб. отд., 1969, вып. 33, с. 91-98.

Для проверки возможности построения и выявления недостатков криотронных элементов вычислительных сред (ВСр) одного типа был изготовлен и проверен в жидком гелии макет ВСр из 30 элементов. На этом макете исследовалась работа триггера. Был выявлен допустимый диапазон изменения тока питания J_0 , при котором триггер остается работоспособным $J_{cc} < J_0 < \frac{3K}{3+K} J_{cc}$ (K — коэффициент усиления, J_{cc} — критический ток сети криотрона). Установлено, что время переключения триггера составляет 8,7 мсек, что в 100 раз больше, чем в элементарной криотронной ячейке памяти. Увеличение времени переключения обусловлено длиной соединительных путей в ВСр, а также шунтирующим действием самой среды.

Ш-14

ДЯТЛОВ В.Л. Некоторые требования к элементам вычислительных сред. — В сб.: Вычислительные системы. Труды I-й Всесоюз. конф. по вычислительным системам. Новосибирск, июнь, 1967, вып. 5. Физико-технологические исследования. Новосибирск, 1968, с. 3-40.

Рассматривается задача формулирования требований к параметрам элементов вычислительных сред. С этой целью рассматриваются временные, энергетические и другие характеристики элементов вычислительной среды (ВСр), построенных на полевых, биполярных, криотронных и оптоэлектронных приборах и на пленочных электростатических реле, и их влияние на производительность, быстродействие, габариты и мощность ВСр.

При этом элемент среды рассматривается в режиме логического элемента, элемента памяти, элемента канала связи с учетом паразитных параметров. Для ВСр в целом рассматриваются ограничения по допустимому перегреву, по времени распространения сигнала в каналах связи, по параметрам системы питания.

Согласно предварительным выводам, для ВСр с производительностью 10^9 операций в секунду наиболее перспективными являются полевые приборы, криотроны и пленочные электростатические реле. Достаточной является тактовая частота 10-1000 гц и ресурс срабатываний 10^{10} .

Оценочные заключения могут быть сделаны только на основе более глубокого изучения экономических характеристик и технологии производства элементов.

И-15

КВРИНОВ Э.В., КОСАРЕВ Ю.Г. О некоторых простейших реализациях вычислительной среды. — "Вычислительные системы", Новосибирск, "Наука" Сиб. отд., 1965, вып. 16., с. 73-87.

Описываются некоторые результаты, полученные при рассмотрении возможности и целесообразности моделирования вычислительной среды (ВСр) на обычных элементах. Сообщается о некоторых простейших моделях ВСр на обычных реле, и приводятся примеры решения на них элементарных логических задач. Делается вывод о том, что ВСр может представлять практический интерес как основа для создания простейших логических и обучающих машин.

И-16

ЕГОРОВ И.П. Вопросы координатного управления памятью однородной структуры. — В кн.: Цифровые модели и интегрирующие структуры. Труды межвузовской науч. конф. по теории и принципам построения цифровых моделей и цифровых интегрирующих машин. Таганрог, сент., 1968 г. Таганрог, 1970, с. 281-287.

Рассматриваются способы многокоординатного и иерархического управления однородной структурой (ОС). Приводятся стандартные приемы сопряжения логической и коммутирующей частей ОС, обеспечивающие работу частей ОС при обрывах координатных линий.

И-17

ЕГОРОВ И.П. Логическое управляющее однородное устройство. — В кн.: Современные проблемы кибернетики. М., 1970, с. 345-350.

Рассматриваются принципы построения универсального управляющего логического устройства (УЛУ), способного реализовать различные алгоритмы управления, причем в качестве функционального блока используется однородная ЛС. Определяется необходимый объем памяти при различных способах ограничений на распределение переменных по входным полюсам. Подробно рассмотрена реализация УЛУ комбинационных функций.

Сообщается, что построен действующий макет УЛУ, в котором в качестве функционального блока использована логическая схема из 240 элементов ИЛИ-НЕ. Тестовый контроль функционального блока осуществляется за 4 такта.

III-18

ЕГОРОВ И.П. Однородные логические сети из функциональных элементов с индивидуальной настройкой. -В сб.: Вычислительные системы. Труды I-й Всесоюз. конф. по вычислительным системам. Новосибирск, июнь, 1967 г. Вып. 2. Вычислительные среды. Новосибирск, 1968, с. 32-41.

Рассматривается модель элемента однородной логической сети (ОЛС). Дается классификация ОЛС в зависимости от типа регулярного графа, соответствующего ОЛС, и свойств элемента.

Рассматриваются вопросы организации функционального про-никновения в ОЛС и условия универсальности ОЛС. Преллагаются процедуры размещения и анализа схем в ОЛС.

III-19

ЕГОРОВ И.П., УСКАЧ М.А., ПРАНГИШВИЛИ И.В. Асинхронные однородные структуры с индивидуальным поведением на потенциаль-ных элементах. -В сб.: Вычислительные системы. Труды симпозиума. Новосибирск, май, 1966 г. Новосибирск, 1967, с. 215-222.

Рассмотрено несколько вариантов асинхронных структур с простыми логическими элементами. Полнота связей в однородной структуре (ОС) с элементами, выполняющими функции ИЛИ-НЕ, определяется возможностью организовать канал связи между любыми элементами прямого и инверсного канала. Предлагаются способы организации функции взаимного проникновения каналов. Показано, как реализуется в простейшей структуре сдвиговой регистр и счетчик.

Виды настройки ОС разделяются на активные (информация вводится в каждый элемент) и пассивные (информация вводится с краев). Отмечается возможность использования структуры для получения высоконадежных устройств.

III-20

ЕГОРОВ И.П., УСКАЧ М.А. Способ реализации элементов и узлов электронных устройств на решетчатых структурах. -В кн.: Но-

вые бесконтактные электронные устройства, ИИ, МДНТИ им. Ф. Э. Дзержинского. М., 1966, с. 24-34.

Дается определение однородных структур (ОС), и перечисляются их свойства. Приводятся ряд примеров их реализации, и показано, как реализуются на ОС логические функции. Рассмотрено несколько возможных принципов настройки (координатный, адресный, оптоэлектронный). На примере показано, как можно реализовать функцию алгебры логики в ОС с неисправными элементами.

III-21

ИГНАТУШЕНКО В.В. Асинхронные эквисторные структуры. -В сб.: Вычислительные системы. Труды симпозиума. Новосибирск, май, 1966 г. Новосибирск, 1967, с. 197-203.

Описывается класс однородных универсальных структур с коллективным поведением ячеек, в которых ячейка может быть настроена не только извне, но и от соседей. Автор называет такие структуры эквисторными (ЭС).

Рассматриваются основные свойства ЭС. Приводятся схемы элемента. Перечисляются следующие преимущества ЭС по сравнению со структурами с индивидуальным поведением элементов:

1) нечувствительность к отказам внешних выводов, 2) уменьшение числа внешних выводов без усложнения ячейки, 3) эффективная реализация функциональной и временной избыточности для обеспечения надежности.

III-22

ИГНАТУШЕНКО В.В. Об одном алгоритме построения логически эффективных итеративных модулей. -В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и оредам. Москва. Секция У. Новосибирск, 1969, с. 116-117.

Определены критерии оценки логической эффективности модулей, выполняемых на интегральных схемах, а также даны некоторые рекомендации по их построению. Определены формальные признаки булевых функций n переменных, порождающих максимальное количество подфункций $(n-1)$ переменной при дублировании и фиксации входов. Дается алгоритм построения функций n переменных по функциям $(n-1)$ -й переменной. Показано, что число операций алгоритма значительно сокращается, а сам модуль упро-

дается, если переменные могут быть поданы как в прямом, так и в инверсном виде.

И-23

Исследование работы криотронной вычислительной среды. - В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция П. Новосибирск, 1969, с. 35-37. Авт.: С.М. Ачасова, О.Л. Бандман, В.Ф. Гурко, Е.Г. Макошмаова, Н.И. Назаров.

Исследуются семикриотронные элементы вычислительной среды, способные выполнять полный набор логических и соединительных функций. Для рассматриваемого базиса приведены методы синтеза функций алгебры логики, а также автоматов, заданных каноническими уравнениями или графом состояний.

Аналитически показано, что быстродействие в среде значи- тельно ниже, чем в обычных криотронных схемах. Это связано с удлинением соединительных каналов и с мультирующим действием самой среды.

Приводятся результаты проверки нескольких макетов среды, изготовленных из проволочных оловянно-свинцовых криотронов.

И-24

КАН Я.С., РАХУБОВСКИЙ В.А., БАБАЙЛОВ В.К. Об одном варианте макета вычислительной среды на криотронах. - В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция П. Новосибирск, 1969, с. 40.

Рассматривается вариант макета однородной двумерной вычислительной среды (ВСр) на криотронах, в основу которого положен универсальный элемент с бинарным кодированием входных переменных.

Макет ВСр состоит из 48 элементов, собранных на проволочных свинцово-оловянных криотронах. Приводятся результаты экспериментальных исследований работы макета.

И-25

КАН Я.С., РАХУБОВСКИЙ В.А., БАБАЙЛОВ В.К. О возможности построения на криотронах универсальных элементов вычислительной среды. - "Вычислительные системы". Новосибирск, "Наука" Сиб. отд., 1969, вып. 33, с. 99-114.

Рассматриваются три варианта универсального элемента вычислительной среды на криотронах. Элементы были собраны на проволочных свинцово-оловянных криотронах и проверены в работе. Приводятся результаты экспериментальных исследований схем элементов среды, а также небольших макетов на этих элементах.

И-26

КАНОВСКИЙ В.А., КУПРИЯНОВ П.Г. Однородные дискретные структуры для реализации вычислительных систем с высоким уровнем интеграции. - В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция П. Новосибирск, 1969, с. 11-12.

Рассматриваются однородные дискретные структуры (ОДС), состоящие из пороговых элементов с единичными весами входов.

Утверждается, что при соответствующем подборе порогов в такой структуре может быть реализована любая функция алгебры логики.

Предлагаются реализации структур в виде больших интегральных систем. Приводится следующая схема производства функциональных блоков ВМ: 1) изготовление структуры с одинаковыми порогами элементов, 2) контроль и диагностика полученной заготовки, 3) выбор реализуемой схемы с учетом неисправностей и расчет порогов элемента, 4) формирование порогов, 5) приварка выводов, герметизация.

Рассматривается общая схема производства функциональных блоков вычислительных устройств, выполняемых на одной подложке, путем селективной настройки стандартных заготовок.

И-27

КОКОЧАШВИЛИ Т.М. Один вариант однородной дискретной структуры с коллективным поведением ячеек. - В сб.: Вычислительные системы. Труды симпозиума. Новосибирск, май, 1966 г. Новосибирск, 1967, с. 248-256.

Предлагается вариант однородной структуры (из коммутирующих элементов) с коллективным поведением. Каждый элемент имеет внешний вход и настраиваемые входы от соседей сверху и слева. Приводятся схема элемента и описание его функционирования. Даются примеры реализации логических функций в такой структуре, при

этом наличие (отсутствие) проводимости интерпретируется как единичное (нулевое) значение функции. Приводится верхняя оценка $n \cdot 2^n$ сложности реализации в структуре функции в СДНФ от n переменных.

И-28

КОЧУР А.П. Криотронный элемент вычислительной среды с памятью на незатухающих токах. -В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция П. Новосибирск, 1969, с.41-43.

Рассматривается возможность создания элементов вычислительной среды (ВСр), использующих универсальные логические схемы с памятью на незатухающих точках, с раздельным питанием и синхронизацией по входной переменной; предлагается схема элемента ВСр. Проведена экспериментальная проверка.

И-29

Криотронные элементы вычислительной среды. -В сб.: Вычислительные системы. Труды I-й Всесоюз. конф. по вычислительным системам. Новосибирск, июнь, 1967 г. Вып.2. Вычислительные среды. Новосибирск, 1968, с. 114-152. Авт.: О.Л. Бандмай, В.Г.Гурко, Н.И. Назаров, Б.М. Фомель.

Показаны некоторые схемные решения криотронных элементов вычислительной среды (ВСр), предложенные в ИМ СО АН. Сравниваются варианты схем, обосновывается выбор одной из схем изготовления первых макетов, и обсуждаются некоторые задачи, связанные с созданием ВСр большого объема.

И-30

МАКАРОВ Л.И. Вычислительная среда на импульсных пороговых элементах с совмещенными функциями. -В сб.: Вычислительные системы. Труды симпозиума. Новосибирск, май, 1966 г. Новосибирск, 1967, с. 231-236.

Рассматривается возможность построения вычислительных сред (ВСр) из элементов, в которых выполнение функций из автоматного полного набора совмещено с выполнением соединительных функций, причем передача сигналов при выполнении любой функции происходит с одинаковой задержкой и некоторые функции выполняются при групповом взаимодействии элементов.

Возможность построения такой ВСр показана на примере ВСр, элементами которой являются пороговые элементы импульсного типа.

И-31

МАКАРОВ Л.И. Вычислительная среда на пороговых элементах с совмещенными функциями. -"Вычислительные системы". Новосибирск, 1967, вып. 26, с. 67-82.

Рассматривается возможность построения вычислительной среды (ВСр) из элементов, в которых выполнение функций из автоматного полного набора совмещено с выполнением соединительных функций, причем передача сигналов при выполнении любой функции происходит с одинаковой задержкой и некоторые функции выполняются при групповом взаимодействии элементов.

Возможность построения такой ВСр, т.е. исследование автоматной и соединительной полноты её элементов, показана на примерах двух вариантов ВСр, элементами которых являются пороговые элементы импульсного и потенциального типов. Для ВСр, элементы которых совмещают выполнение автоматных и соединительных функций, показана возможность уменьшения количества информации настройки одного элемента по сравнению с ВСр с индивидуальным поведением элементов.

И-32

МИШИН А.И. Об одном варианте комбинированной вычислительной системы. -"Вычислительные системы". Новосибирск, "Наука" Сиб. отд., 1967, вып. 26, с. 45-56.

Рассматривается система, состоящая из вычислительной среды (ВСр), ЦВМ и устройства согласования машины с ВСр. Структура ВСр выбрана в виде двумерной решетки, состоящей из 4-польсных функциональных и соединительных элементов. Вся информация, как предназначенная для настройки ВСр, так и обрабатываемая в ВСр, а также программа работы системы в целом хранится в запоминающем устройстве ВМ.

И-33

МИШИН А.И. О реализации вычислительной среды на элементах с совмещенными функциями. -"Вычислительные системы". Новосибирск, "Наука" Сиб. отд., 1967, вып. 26, с. 83-95.

Рассматриваются вычислительные среды, построенные на элементах с совмещенными функциями. Приводятся схемы элементов, выполненные по принципу совмещения функций адресного блока, блока памяти и функционального блока. В качестве ячеек памяти в таких элементах использованы приборы с S -образной вольт-амперной характеристикой.

И-34

МИНИН А.И. Об элементах вычислительной среды. Комбинированная вычислительная среда-машина. -"Р об.: Вычислительные системы. Труды I-й Всесоюз. конф. по вычислительным системам. Новосибирск, июль, 1967 г. Вып. 2. Вычислительные среды. Новосибирск, 1968, с. 130-143.

См. [И-32] и [И-33].

И-35

НАЗАРОВ Н.И. Анализ быстродействия криотронной вычислительной среды с помощью ЦВМ. -В об.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция П. Новосибирск, 1969, с. 38-39.

Предлагаются два метода анализа переходных процессов в криотронной вычислительной среде (ВСр) с помощью ЦВМ.

Первый метод, применимый в простых случаях, основан на учете только основных контурирующих цепей, что позволяет уменьшить число контурных уравнений.

Уменьшение числа контурных уравнений во втором методе достигается объединением нескольких вертикальных или горизонтальных или в одну, что делает возможным анализ переходных процессов в больших ВСр с удовлетворительной точностью.

И-36

НАЗАРОВ Н.И. Быстродействие криотронной вычислительной среды. -"Вычислительные системы", Новосибирск, "Наука" Сиб.отд., 1969, вып. 33, с. 85-90.

Проводится численный анализ переходных процессов на небольшом участке криотронной вычислительной среды (ВСр). Пока ясно, что переходный процесс становится экспоненциальным тем быстрее, чем меньше число элементов ВСр. Характеристики начальной фазы переходного процесса от числа элементов не зависят.

И-37

О модульной, интегральной и функциональной реализации однородных дискретных структур. -В об.: Вычислительные системы, Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция П. Новосибирск, 1969, с.8-9. Авт.: В.Л. Камковский, П.Г.Куприянов, Д.В.Силаев, В.И.Силаев.

Рассматриваются вопросы схемной реализации элементов однородных дискретных структур (ОДС) с селективной настройкой и адаптивных ОДС. Отмечаются особенности элемента ОДС, позволяющие реализовать схему с использованием единственной активной компоненты.

Приводятся принципиальные схемы, и обсуждаются режимы работы элементов ОДС, выполненных в виде модуля на тиратроне тлеющего разряда, транзисторного микромодуля и адаптивного микромодуля с электрохимическим управляемым сопротивлением.

Предлагается реализация ОДС в виде БИС со стандартными однородными межсоединениями, которая настраивается на выполнение нужной функции путем селективной установки порогов элементов. Рассматриваются схемы элементов ОДС на туннельных диодах и $p-n-p-n$ -структурах, интегральные ДТЛ-схемы с централизованной синхронизацией и схемы со структурой МОП. Приводятся примеры возможных реализаций ОДС.

И-38

ПОЛОСУХИН Б.М. Принципы построения унифицированного вычислительного модуля с программной настройкой. -"Электронная техника", сер. 6, Микроэлектроника, 1969, № I, с. 90-96.

Рассмотрен принцип построения однородных вычислительных структур с памятью.

Предложен унифицированный программно-настраиваемый модуль на основе универсальной комбинационной микросхемы, многоустойчивой памяти и канонического представления автомата.

И-39

ПОПОВ Ю.А., БОЧКОВ П.Е. Дискретная вычислительная среда на элементах, обладающих задержкой. -В об.: Вычислительные системы. Труды I-й Всесоюз. конф. по вычислительным системам. Новосибирск, июль, 1967 г. Вып.2, Вычислительные среды. Новосибирск, 1968, с. 45-52.

Предлагается вариант вычислительной среды (ВСр), обладающий некоторыми новыми свойствами, обеспечивающими высокую глубину. Элементы ВСр выполняют функцию Пирса и задержки, а также способны образовывать переменные связи. Структура связей среды - восьминправленная с максимальной глубиной, равной двум.

Блок-схема обработки информации состоит из двух частей: ВСр и УУ, содержащего программу настройки. Предлагается использовать возможность перестройки в процессе вычисления и, таким образом, уменьшить число требуемого оборудования при выполнении последовательных операций.

Ш-40

ПОПОВ Ю.А., БУЧКОВ П.Е., БАКУЛИН В.А. Об одной группе транзисторных элементов для построения вычислительной среды. - В сб.: Вычислительные системы. Труды I-й Всесоюз. конф. по вычислительным системам. Новосибирск, июнь, 1967 г. Вып. 2. Вычислительные среды. Новосибирск, 1968, с. 53-63.

Перечисляются требования, предъявляемые к элементам дискретных вычислительных сред (ДВСр). Показывается, что этим требованиям удовлетворяет группа схем, относящихся к категории динамических инверторов. Предлагаются конкретные варианты элементов ДВСр на германиевых и кремниевых полупроводниковых приборах. Рассматриваются вопросы выбора типа ВУ для управления ДВСр.

Ш-41

ПРАНГИШВИЛИ И.В., УСКАЧ М.А. Однородные структуры с минимальной задержкой в каналах передачи сигналов. - В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция П. Новосибирск, 1969, с. 10.

Рассматривается вариант однородной структуры, содержащей токопроводящие пассивные каналы передачи сигналов (горизонтальные и вертикальные токопроводящие шины).

В докладе рассмотрены примеры реализации в структуре различных устройств.

Ш-42

СЕЙФУЛЛА И.Д. Об одном типе однородной среды с индивидуальной настройкой элементов. - В кн.: Дискретные автоматы и сети связи. М., 1970, с. 77-82.

Предлагается вариант матричной однородной среды, удобной для синтеза структур дискретных устройств. Даются методы синтеза комбинационных автоматов в такой среде. Сложность реализации логической функции от n переменных в такой среде $L(n) \leq 4 \cdot 2^n$. Растяжение автомата, вызванное тем, что каждый элемент среды обладает элементарной задержкой τ , не зависит от сложности реализуемой функции и равняется $T = c\tau$, где c - константа. Элемент ВСр содержит 36 МОП-транзисторов.

Ш-43

СЕЙФУЛЛА И.Д. Об одном типе однородной среды с индивидуальной настройкой элементов. - В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция IV. Новосибирск, 1969, с. 99-100.

См. [Ш-42].

Ш-44

СКВОРЦОВ А.М., СТАРОС Ф.С., ХАРИНСКИЙ А.Л. Мозаичные интегральные схемы на МОП-транзисторах. - В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция У. Новосибирск, 1969, с. 13-14.

Рассматриваются вопросы конструирования технологии мозаичных интегральных схем сложных субсистем для ЦВМ.

В качестве мозаичного элемента выбраны микросхемы средней сложности, выполненные на МОП-транзисторах. Разработан ряд таких микросхем, состоящих из 12 типов.

Дается общий подход к решению задачи резервирования и автоматизации проектирования топологии МОП-интегральных схем.

Ш-45

СКОРОБОГАТОВ В.А. Некоторые вопросы реализации вычислительной среды на пороговых элементах. - "Вычислительные системы". Новосибирск. РИО СО АН СССР, 1965, вып. 16, с. 87-98.

Исследуются особенности построения вычислительной среды (ВСр) на пороговых элементах в обычном (не микроминиатюрном) исполнении. Приводится модель, которая является частным случаем двумерной ВСр с фиксированной настройкой; показывается возможность реализации различных схем ЭВМ при относительно небольших затратах элементов, используемых для связей.

Ш-46

УМАНСКИЙ В.В., ГОРОДЕЦКИЙ Б.В., ТОТАЕВ А.Т.К вопросу синтеза универсальной ячейки логическими методами. 1967, 14 с. (Депонированная рукопись Д-549).

Реф.: "Реферативная информация по радиоэлектронике", 1968, № 9, с. 187.

Проведен анализ универсальной логической ячейки, используемой для построения логических устройств информационных и специализированных ЭВМ. Приводится сравнительный анализ преимуществ данной ячейки перед существующими, и показывается, что с помощью разработанной универсальной ячейки может быть реализовано экономичное логическое устройство с меньшим количеством конструктивных элементов.

Ш-47

УОЛСТРОМ. Программируемая логика на основе матриц из элементов с индивидуальной настройкой. - "Электроника", 1967, № 25, с. 3-9.

Показано, что при помощи типовых больших интегрирующих структур (БИС), выполненных в виде матриц с фиксированными межсоединениями и индивидуальной настройкой отдельных элементов, можно реализовать различные функции. При массовом изготовлении себестоимость таких БИС будет достаточно низка, благодаря чему станет экономически целесообразным производство больших ВС малыми сериями.

Ш-48

AMAREL S., COOKE G., WINDER R.O. Majority Gate Networks. - "IEEE Trans. Electronic Comput.", 1964, vol. EC-13, N 1, p. 4-13.

Сети из мажоритарных логических элементов.

Показаны методы реализации мажоритарных функций (МФ) от n переменных сетями, составленными из K -входовых МЭ ($K < n$). Найдена оптимальная сеть для $n = 5$, $K = 3$. Этот результат распространяется на реализацию любой МФ от $(2n - 1)$ переменных сетью из элементов с $(2n - 3)$ входами.

Исследована однородная сеть из МЭ. Показано, что она может реализовать любую симметричную функцию, если управлять соединениями между элементами. Приводится метод синтеза.

Ш-49

CANADAY R.H. Two-Dimensional Iterative Logic. - In: AFIPS Fall Joint Comput. Conf. 1965. Proceedings..., vol. 27. Washington D.C., London, 1965, p. 343-353.

Двумерная итеративная логика.

Рассматривается однородная структура, состоящая из элементов, выполняющих мажоритарную функцию от трех переменных. Каждый элемент имеет 2 входа и 2 выхода, соединенных с соседями, и один вход независимый (внешний).

Приводятся два метода синтеза для реализации произвольной булевой функции в них. В первом методе сложность реализации зависит от вида функции; во втором методе - от числа переменных. В любом случае число независимых входов не превышает 2^{n-1} .

Ш-50

COHEN S., WINDER R.O. Threshold Gate Building Blocks. - "IEEE Trans. Electronic Comput.", 1969, vol. C-18, N 9, p. 816-823.

Универсальные блоки на пороговой логике.

Рассматриваются универсальные многофункциональные асимметричные пороговые элементы, которые предлагается использовать для построения логических схем. Число выполняемых логических функций, приходящихся на один вывод в таких элементах значительно выше, а стоимость ниже, чем для элементов с логикой "И-ИЛИ".

Ш-51

DOMENICO R.J., HENLE R.A. All-Purpose Computer Circuits. - "Electronics", 1960, N 33, p. 56-58.

Универсальные схемы для вычислительных машин.

Предлагается универсальная схема, состоящая из набора логических элементов, соединения между которыми выполняются коммутаторами из фотосопротивлений, управляемыми световым потоком определенной конфигурации.

Показана возможность восстановления неисправностей путем изменения коммутации.

И-52

FORSYND D.C., WAXMAN R. The Universal Logic Block (ULB) and its Application to Logic Design. - In: IEEE Conf. Rec. 7-th Annual Symp. Switch. and Automata Theory. IEEE Publ., p.236-250.

Универсальный логический блок и его применение в логическом синтезе.

Применение больших интегральных схем для построения ВМ требует, с одной стороны, уменьшения отношения числа выводов к числу компонент, с другой стороны, - уменьшения числа типов схем. Предлагается разрешить это противоречие путем применения универсальных логических блоков (УЛБ). Для определения количества необходимых типов УЛБ используется теория классов эквивалентности логических функций. Ставится задача логического синтеза с использованием УЛБ. Показано, как проектировать УЛБ с учетом двух требований: 1) минимального числа компонент; 2) минимального числа выводов.

И-53

GOLAY MARCELL J.E. Hexagonal Parallel Pattern Transformations. - "IEEE Trans. Electronic Comput.", 1969, vol. EC-18, N 8, p.733-740.

Гексагональные параллельные преобразования образов.

Обсуждаются сравнительные достоинства прямоугольного и гексагонального массивов модулей. Предложены операционный сим-волизм для различных базисных гексагональных модульных преобразований, которые могут выполняться такими машинами. Приводится иллюстрация реализации некоторых логических сетей и описания нескольких элементарных применений.

И-54

HAWKINS J.K., MUNSEY C.J. A Two-Dimensional Iterative Network Computing Technique and Mechanizations. - In: Workshop on Computer Organization. 1962. Proceedings..., Washington-London, 1963, p.93-125.

Методы и автоматизация вычислений на двумерных однородных структурах.

Рассматриваются универсальные двумерные однородные структуры, элементы которых выполняют логическую функцию, а также функции хранения и усиления информации. Предлагается оптический способ подачи переменных на элементы и оптическая логика. Указывается, что в такой системе возможно выполнять и цифровые, и аналоговые операции. Приводятся примеры возможного использования такой системы.

И-55

KAUTZ W.H. A Cellular Threshold Array. - "IEEE Trans. Electronic Comput.", 1967, vol. EC-16, N 5, p.680-682.

Однородные универсальные пороговые матрицы.

В качестве универсального логического блока предлагается использовать однородные матрицы размером $(n+1) \times m$, способные выполнять любую пороговую функцию от n переменных. Каждый элемент матрицы содержит триггер, двоичный сумматор и цепь счета, которая объединяет множества триггеров каждой строки. Настройка на реализацию той или иной функции производится записью весов в триггеры каждой строки. Матрицы могут объединяться в блоки и наращиваться в обе стороны для реализации сложных функций. Предполагается исполнение в виде больших интегральных схем.

И-56

KING W.F.III. The Synthesis of Multipurpose Logic Devices. - In: IEEE Conf. Rec. 7-th Annual Symp. Switch. and Automata Theory, 1966, p.227-235.

Синтез многофункциональных логических элементов.

Найдены необходимые и достаточные условия существования и алгоритм построения логической схемы многофункционального элемента (МФЭ), выполняющего любую из заданного набора U функ-

ций и имеющего заданное количество логических τ и настроечных S входов. Доказана следующая теорема: МЭЗ с $\tau+S$ входами, реализующий набор функций (f_1, f_2, \dots, f_n) , существует, если (и только если) для каждой пары функций (f_i, f_j) $(i, j) \in \{1, 2, \dots, n\}$ выполняется $f_i^S \cdot f_j^S = 0$, где f_i^S и f_j^S вычисляются рекурсивно по заданным f_i и f_j .

Получены следующие верхняя $S \leq [\log_2 n]$ и нижняя $\frac{\tau+S}{S}(\tau+2)^S$ оценки для числа настроечных входов. Приведен пример синтеза.

И-57

KING W.F., GIUSTI A. The Design of a More Complex Building Block for Digital Systems. Air Force Cambridge Research Labs., AD-660808, Sept. 1967, 34 p.

Ref.: "Comput. Abstr.", 1968, vol. 12, N 7, p. 140.

Применение усложненного блока для построения цифровых систем.

Приводятся соображения по выбору сложного элемента для реализации цифровых систем. В частности, рассматриваются блоки, на которых хорошо реализуются нестандартные части ВМ (например, устройство управления). Показано, что такие элементы должны иметь много внутренних соединений и выполнять много функций. Предложен многофункциональный элемент (МЭ), который может настраиваться на любую из некоторого множества булевых функций. Приводится алгоритм синтеза МЭ, реализующего заданное множество функций.

И-58

MEO A.R. Modular Tree Structures. - "IEEE Trans. Electronic Comput.", 1968, vol. C-18, N 5, p. 432-442.

Модульные структуры типа дерева.

Предлагается новый тип модульных структур, имеющих вид дерева, вершинами которого являются одинаковые логические модули с τ входами и одним выходом. Каждый вход модуля i -го уровня присоединен к одному из выходов модуля $(i+1)$ -го уровня. Структура такого типа считается универсальной, если соответствующим подбором констант на входах модулей можно настроить её

на любую функцию от заданного числа переменных.

Статья имеет три раздела. В первом разделе рассмотрены общие свойства структур такого типа и предлагаются методы синтеза, во втором перечисляются нерешенные проблемы, в третьем показаны некоторые типы модулей.

И-59

MINNICK R.C. Cobweb Cellular Arrays. - In: AFIPS Fall Joint Comput. Conf. 1965. Proceedings..., vol. 27, pt. 1. Washington-London, 1965, p. 327-340.

Матрицы со сложными внутренними связями.

То же на русск. яз.: Минник Р. - "Микроэлектроника и большие системы". М., 1967, с. 226-242.

Указывается на большую избыточность элементов и сложность внешних соединений, которые неизбежны при реализации ряда устройств в матрицах с простыми связями [И-67]. Более эффективного использования оборудования можно достигнуть путем усложнения межэлементных связей в матрице.

Предлагается матрица (Cobweb Cellular Array), каждый элемент которой имеет пять входов (2 - от вертикальной и горизонтальной шин и 3 - от соседних элементов). Число внешних выводов у такой матрицы примерно в 1,5 - 2 раза больше, чем у матриц с простыми связями. Показано, что такая организация может значительно сократить необходимое число элементов для реализации комбинационных схем.

Вводится метод резервирования суперэлементами, состоящими из четырех элементов матрицы.

И-60

The Multipurpose Bias Device, pt. II. The Efficiency of Logical Elements, pt. III. - "IBM J.", 1959, vol. 3, N 1, p. 46-53. Auth.: B. Dunham, D. Middleton, J. H. North., J. A. Sliter, J. W. Weltslein.

Эффективность логических многофункциональных элементов.

Эффективность логического многофункционального элемента (ЛМЭ) автор определяет как множество подфункций, которые он может реализовать при подаче констант на некоторые из его входов. Рассмотрено несколько типов элементов. Ставится задача опреде-

ления оптимальных вариантов с точки зрения размеров и числа выводов.

Ш-61

SHAY B.P. Universal Logic Block. Naval Res. Lab., AD-696056, 17 Sept. 1969, p.22.

Ref.: "Comput. Abstr.", 1970, vol.14, N 4, p.69.

Универсальные логические блоки.

Успехи микронэлектронной технологии позволяют допустить некоторую избыточность и, следовательно, использовать при реализации логических функций блоки, в которых выполняются сложные ФАЛ. Однако при этом возникает 2 вопроса: 1) какую же ФАЛ должен реализовать каждый блок, 2) как эффективно синтезировать комбинационные схемы из этих блоков? Для ответа на эти вопросы предлагается использовать для реализации комбинационной логики универсальные логические блоки (УЛБ). УЛБ реализует некоторую функцию от n переменных таким образом, чтобы при соответствующем подборе констант на его входах можно было бы получить на выходе любую функцию от K ($K < n$) переменных. Такие функции называются глобально универсальными (ГУФ). Описаны методы определения ГУФ. Однако они мало пригодны для больших n . Вводятся некоторые ограничения, которые позволяют упростить способы определения ГУФ.

Ш-62

STONE H.S. An Algorithm for Modular Partitioning. - "J.ACM", 1970, vol.17, N 1, p.182-195.

Алгоритм разбиения на модули.

Рассматривается задача разбиения на минимальное число модулей подохемы устройства, содержащей элементы одного типа. Подсхема должна быть предварительно разделена на "атомы", содержащие не больше элементов, чем входит в модуль. Решение сводится к задаче целочисленного программирования; предлагаются способы ускорения решения путем направленного сокращения матрицы, определяющей все возможные виды упаковки "атомов" в модули.

102

Ш-63

Structured Logic. - In: AFIPS Fall Joint Comput. Conf. 1969. Proceedings... Washington D.C. 1969, p.61-67. Aut.: R.A.Henle, I.T.No, G.A.Maley, R.Waxman.

описано несколько типов однородных матриц (ОМ) винного типа с настройкой элементов, находящихся на пересечениях шин. Проводится сравнение таких структур с обычной неоднородной логикой. Для сравнения введена "мера эффективности", учитывающая рассеивание мощности, быстродействие и площадь подложки. Показано, что коэффициент эффективности ОМ во многих случаях выше. Ставится задача создания метода синтеза и минимизации функции алгебры логики на ОМ.

Ш-64

YAU S.S., TANG C.K. Universal Logic Circuits and their Modular Realizations. - In: AFIPS Spring Joint Comput. Conf. 1968. Proceedings..., vol.32, Washington, 1968, p.297-305.

Универсальные логические схемы и их модульные реализации. Существует несколько разных подходов к построению однородных структур: множество элементов с обычными металлизированными соединениями, отдельные блоки, гибридные сочетания этих типов с однородными и неоднородными "структурами с программируемой логикой". Основной проблемой для всех подходов автор считает проектирование базисных функциональных элементов и предлагает систематическую процедуру проектирования универсальных логических цепей (УЛЦ), которые могут реализовать любую функцию фиксированного числа (n) переменных. Общая тенденция роста сложности схемы такова: число переключающихся элементов увеличивается экспоненциально, а число логических уровней - линейно от n . Получены модульные реализации, использующие УЛЦ от трех или четырех переменных.

Предложена диагностическая процедура локализации неисправностей и демонстрируется метод повышения надежности при использовании кодов с исправлением ошибок.

Ш-65

YAU S.S., TANG C.K. Universal Logic Modules and their Applications. - "IEEE Trans. Electronic Comput.", 1970, vol.C-19, N 2, p.141-149.

103

Реф.: "Экспресс-Информация", серия "вычислительная техника", 1970, № 27, с. 1-17.

Универсальные логические модули и их применение.

Рассматриваются вопросы модульного синтеза логических сетей. Предлагаются новые типы универсальных логических модулей (УЛМ), отличающиеся от предложенных ранее тем, что суммарное количество входов медленно растет при возрастании числа входных переменных УЛМ. Представлены типы модулей для реализации симметрических и частично-симметрических функций. Предложен специальный тип УЛМ, названных последовательно управляемыми, каждый из которых имеет $n + 3$ входных (выходных) полюса. Обсуждаются способы синтеза логических сетей с малым числом УЛМ.