

УИ. ОДНОРОДНЫЕ И АССОЦИАТИВНЫЕ ПРОЦЕССОРЫ

УИ-1

АТАМОВ Ф.А., ГАДЖИЕВ Ф.А., КАСНЕР М.А. Вычислительные машины с однородной структурой. - В кн.: Вопросы вычислительной техники. Труды Института кибернетики АН Азерб.ССР. Т.4. 1967, с. 61-70.

Статья является обзором работ по вычислительным машинам с однородной структурой с краткой характеристикой машин Унгера [УИ-69], Холланда [УИ-34], Гонзалеса [УИ-31]. Сформулированы некоторые проблемы, решение которых, по мнению авторов обзора, необходимо для перехода к непосредственной реализации однородных вычислительных машин.

УИ-2

ВЕНИКОВ Г.В. Сверхбыстродействующие вычислительные устройства. М.-Д., "Энергия", 1966. 160 с. (Библиотека по автоматике). Интерес представляет глава 6, содержащая изложение работы [УИ-27].

УИ-3

КАГАНОВСКИЙ А.Я. Ассоциативные устройства и обработка информации. - В кн.: Вычислительная техника, алгоритмы и системы управления. Труды конференции ИМЭУМ. Москва, июль, 1966 г. Вып. I. М., 1967, с. 176-183.

Делается попытка кратко систематизировать материал по вопросам проектирования и применения ассоциативных запоминающих устройств (АЗУ). Все известные проекты и описания разделяются на 2 группы: 1) АЗУ малого и среднего объемов (до 10^5 - 10^6 бит), 2) АЗУ большого объема (до 10^8 - 10^9 бит).

Указывается, что АЗУ большого объема целесообразно строить на криотронах. Рассматриваются программные методы разделения многозначного ответа в больших АЗУ и некоторые основные операции, составляющие основу многих алгоритмов.

УИ-4

КОЧИН Д.Я. Ассоциативная память как параллельный процессор. - В кн.: Вопросы теории ЭЦММ. Труды семинара. Вып. 2. Киев, 1969, с. 63-79.

Дается обзор способов использования ассоциативной памяти в качестве параллельного процессора для распараллеливания решения задачи по операндам с целью повышения производительности ЭЦММ. Указывается, что эта возможность основывается на том, что ассоциативная память (АП) может реализовать логические функции отрицания, конъюнкции (в АП с логикой совпадения) и дизъюнкции (в АП с логикой несовпадения); это позволяет получить полную систему функций для реализации любой функции алгебры логики и тем самым обеспечивает обработку логической и арифметической информации любой сложности. Производится классификация структур АП. Различают АП с внешней и распределенной логиками; приводятся их блок-схемы, обсуждаются достоинства и недостатки. Приводятся алгоритмы сложения в АП с внешней и распределенной логиками.

УИ-5

КОЧИН Д.Я. Логический синтез ассоциативных структур памяти. - "Кибернетика", 1970, № 4, с. 135-137.

Проводится логический анализ одного класса ассоциативных структур - ассоциативных запоминающих устройств (АЗУ). В работе получены регулярные выражения для микроопераций, выполняемых при ассоциативном обращении. Наличие таких выражений позволяет, по мнению автора, облегчить процесс программирования для АЗУ.

УИ-6

КУЗОЖИНА Т.В. Некоторые способы построения однородных вычислительных машин. - В сб.: Вычислительные системы. Труды симпозиума. Новосибирск, май, 1966 г. Новосибирск, 1967, с. 165-172.

Предлагается однородная вычислительная машина (ВМ), состоя-

чая из двух плат: программной и вычислительной. Каждая ячейка программной платы связана с соответствующей ячейкой вычислительной платы. Выбор ячеек осуществляется координатным способом. Такая ММ обладает повышенным быстродействием, поскольку в ней используются принципы параллельной обработки информации.

УШ-7

КУХАРЧУК А.Г., РЕУТОВ Г.В., ЛУЦКИЙ Г.М. Конвейерный принцип обработки информации. - "Кибернетика", 1968, № 6, с.43-49.

Конвейерный принцип обработки информации объясняется на примере операционного устройства. Это устройство представляет собой систему автоматов, объединенных в прямоугольную двумерную таблицу. Каждый автомат осуществляет обработку операнда разрядностью 1 бит, имеет внутреннее управление и внутреннюю память и связан с такими же устройствами из смежных строк, находящимися в том же и ближайших слева и справа столбцах. При обработке информация принудительным путем под воздействием синхронизирующих сигналов передается с i -ой строки на $(i+1)$ -ую строку, причем на каждом шаге передачи выполняются однотактные элементарные преобразования, из которых состоит операция. В устройстве одновременно может выполняться столько операций, сколько строк в таблице. Работа операционного устройства иллюстрируется примерами выполнения сложения, вычитания и умножения с фиксированной запятой.

УШ-8

КУХАРЧУК А.Г., ЛУЦКИЙ Г.М., РЕУТОВ Г.В. Выполнение умножения с помощью операционного устройства, основанного на конвейерном принципе обработки информации. - "Кибернетика", 1969, № 5, с.58-63.

Целью работы является исследование выполнения умножения на основе конвейерного принципа обработки информации. В работе рассматриваются два способа умножения двух n -разрядных чисел, результатом которого является $2n$ -разрядное произведение. Один из этих способов может быть реализован с помощью матрицы операционного устройства, построенной на основе n -разрядных регистров с использованием длинных связей между компонентами, а другой - основан на использовании $2n$ -разрядных регистров при

условии соблюдения принципа близкодействия. В работе также сравниваются основные особенности обоих способов умножения.

УШ-9

РАЙЛИ. Работы по созданию вычислительной системы ИЛ - ИЛАС-IV. - "Электрорадиотехника", 1970, № 12, с.35-39.

Описано состояние работ по созданию супер-ЭЦМ ИЛЛАС-IV наиболее производительной из современных ЭЦМ. ИЛЛАС-IV будет одной из первых машин, в которой в качестве основной оперативной памяти применено полупроводниковое запоминающее устройство. Одновременно сообщается о разработках национальной вычислительной сети, которая должна объединить вычислительные машины двадцати исследовательских организаций, разбросанных по всей стране. Разработкой сети занимается Управление перспективного планирования научно-исследовательских работ. Описание ИЛЛАС-IV см. [УШ-36, УШ-25, УШ-39].

УШ-10

РЕУТОВ Г.В. Некоторые вопросы организации управления в конвейерном процессоре. - В кн.: Вопросы теории ЭЦМ. Труды семинара. Вып.2. Киев, 1969, с.80-96.

Рассматривается реализация системы с разделением времени в виде процессора, использующего конвейерный принцип обработки информации [УШ-7, УШ-8]. Процессор состоит из конвейерного операционного устройства и устройства управления, которое также построено по конвейерному принципу. Основное содержание статьи составляет рассмотрение вопросов организации управления потоком команд в процессоре.

УШ-11

ШИЛЕЙКО А. Два типа вычислительных машин. - "Научная мысль" 1968, № 10, с.41-50.

В работе обсуждаются характерные черты машины Тьюринга - теоретического прототипа современных вычислительных машин. Определяется понятие эффективности системы переработки информации. На базе этого определения выявляются пути повышения эффективности, в том числе путь развития вычислительных машин с программной структурой. Предлагается теоретическая модель такого

устройства: машина Тьюринга второго рода. Отмечается, что теоретические принципы машин с программируемой структурой наиболее полно используются при построении однородных и неоднородных вычислительных сред. Выдвигается предположение, что в машинах четвертого поколения устройства с программируемой структурой будут широко применяться.

УИ-12

ЯКУБА А.А. Ассоциативная память, алгоритмы поиска и извлечения информации из памяти. (Обзор). - В кн.: Вопросы теории электронных цифровых математических машин. Семинар. Вып. I. Киев, 1966, с.94-113.

Обзор посвящен вопросам построения структур ассоциативной памяти и алгоритмам поиска и извлечения из неё информации. В работе приводится классификация ассоциативных памяти по использованию опрашиваемого слова в поиске. Анализируется логическая структура матричной ассоциативной памяти и ячеечной ассоциативной памяти. Приведены блок-схема алгоритмов поиска и извлечения информации из памяти.

УИ-13

AMOROSO S.M. A Parallel-Acting Iterative Automaton. - In: IEEE Conf. Rec. 8-th Annual Symp. Switch. and Automata Theory. Austin, 1967, p.83-94.

Итеративный автомат параллельного действия.

Рассматривается параллельная итеративная машина, построенная из идентичных конечных автоматов, соединенных друг с другом в одномерный массив.

В дискретные моменты времени сигналы из центрального устройства управления посылаются каждому автомату массива, причем каждый автомат получает те же самые сигналы в тот же самый момент времени. Каждый автомат в массиве работает синхронно, изменяя свое состояние детерминированно, как функцию своего настоящего состояния, состояний непосредственно соседних автоматов и получаемых сигналов.

В работе развивается некоторая общая теория и определяются множества последовательностей (слов), распознаваемых такими машинами.

УИ-14

AMOROSO S. Investigations into the Theory of an Iterative Circuit Stored Program Parallel Processor. Part 1. Army Electronics Command, AD-612889, Feb. 1965. 22 p.

Ref.: "Comput. Abstr.", 1965, vol. 9, N 7, p. 136.

Исследования по теории итеративного процесса с хранением программ.

Сообщается, что начаты исследования процессора, состоящего из одинаковых логических модулей, управляемых набором команд, хранящихся в запоминающем устройстве. Приводится минимальный набор команд, обеспечивающий нужную вычислительную способность процессора.

УИ-15

ANDERSON J.P. Better Processing through Better Architecture. - "Datamation", 1967, vol. 13, N 37, p. 40-41.

Ref.: "Comput. Abstr.", 1968, vol. 12, N 3, p. 56.

Повышение производительности ЭМ за счет улучшения их структуры.

Обсуждаются различные подходы к вопросам организации ЭМ. В частности, особое внимание уделяется непосредственному восприятию стандартных языков программирования и высокому уровню распараллеливания.

УИ-16

BAIRSTOW J.N. LSI Will Demand New Computer Architecture. - "Electronic Design", 1968, vol. 16, N 1, p. 31-32.

Внедрение технологии БИС потребует новой архитектуры ЭМ.

Предполагается, что в 1970 г. большие интегральные схемы (БИС) войдут в практику. Рассматриваются три аспекта влияния внедрения новой технологии на развитие ЭМ: 1) ЭМ должна состоять из однородных матриц. Сейчас только 40% логических устройств имеют однородную структуру соединений. Однако можно изменить устройство управления так, чтобы довести долю однородных устройств до 70%. 2) Стоимость ЭМ в среднем может снизиться на 70%. 3) При применении БИС функциональные возможности схем на 1 доллар стоимости возрастут.

УИ-17

BATCHER K.E. Sorting Networks and their Applications. - In: AFIPS Spring Joint Comput. Conf. 1968. Proceedings... v.32. Washington, 1968, p.307-314.

Сети для сортировки информации и их приложения.

В этой статье описываются сети, приспособленные для быстрой сортировки информации. 2^p слов может быть упорядочено за $\frac{1}{2}p(p+1)$ шагов. Преимущества таких сетей над обычными коммутационными матрицами заключаются в том, что они требуют меньше оборудования (переключательная сеть с n входами и n выходами может быть построена приблизительно из $n(\log_2 n)^2$ элементов против n^2 элементов в коммутационной матрице) и имеют постоянные нагрузочные множители по входу и выходу своих элементов. Поэтому сети для сортировки могут быть использованы как гибкое средство для соединения различных частей большой вычислительной системы.

Другие применения сетей для сортировки заключаются в их использовании в качестве мультипроцессоров, памяти с адресацией по содержанию и т.п.

УИ-18

BJORNER D. A Flow-Mode, Self-Steering, Cellular Multiplier-Summaton Processor. - "BIT", 1970, vol.10, N 2, p.125-144.

Однородный конвейерный арифметический процессор с самоуправлением.

Предложен однородный цифровой процессор, в котором происходит непрерывное движение чисел и команд, при этом одновременно производится сразу несколько операций. Процессор может выполнять: 1) сложение и вычитание трех чисел одновременно, 2) умножение двух чисел, 3) векторное умножение. Процессор основан на использовании однородных асинхронных матриц. Время вычисления не зависит от разрядности чисел.

УИ-19

CAMPEAU J. The Block-Oriented Computer. - "IEEE Trans. Comput.", 1969, vol.C-18, N 8, p.706-718.

Вычислительная машина блочного типа.

То же на русск.яз.: - "Зарубежная радиоэлектроника", 1970, № 7, с.31-50.

Рассматривается вычислительная система, которая строится из очень большого числа достаточно простых вычислительных элементов, - матричный процессор. Все элементы матрицы идентичны, независимы и могут программными средствами перекоммутироваться для того, чтобы составлять различные схемы. При отказе одного из элементов программа - диспетчер исключает этот элемент из работы, а вся система продолжает вычисления с незначительной потерей вычислительной мощности. Благодаря особой организации вычислительного процесса в системе достигается высокая степень параллелизма. Описанная система названа машиной блочного типа. Показывается, что она хорошо реализуется на больших интегральных схемах.

УИ-20

CANNON L.E. A Cellular Computer to Implement the Kalman Filter Algorithm. Montana State University. AD-692473, 14 July 1969. 229 p.

Ref.: "Comput. Abstr.", 1970, vol.14, N 2, p.33.

Однородная ЯМ, предназначенная для реализации алгоритма фильтра Калмана.

Целью работы является обоснование универсальной ЯМ со специфической организацией, которая эффективно выполняет матричные операции. Отчет разделен на 5 частей. 1. Обзор существующих работ по однородным микро- и макроструктурам. 2. Описание дискретного фильтра Калмана как типовой задачи, использующей операции над матрицами. 3. Детальный проект однородной клеточной ЯМ. 4. Программы для этой ЯМ. 5. Рекомендации по технической реализации ячейки и цепей управления.

УИ-21

COMFORT W.T. A Modified Holland Machine. - In: AFIPS Fall Joint Comput. Conf. 1963. Proceedings... v.24. London, 1963, p.481-488.

Ref.: "Comput. Abstr.", 1965, vol.9, N 4, p.63.

Модифицированная машина Холланда.

Машина с итеративной структурой, предложенная Холландом, является параллельной машиной без центрального управляющего устройства. В этой статье предлагается модифицированная организация машины Холланда [УИ-34]. Эта модификация позволяет: 1) улучшить возможности программирования на машине и благодаря этому увеличить её возможности для решения задач, 2) существенно уменьшить количество используемого оборудования без потери уникальных способностей, которые обеспечивают потенциальную вычислительную мощность машины.

УИ-22

COMFORT W.T. Highly Parallel Machines. - In: Workshop on Computer Organization 1962. Proceedings... Washington, London, 1963, p.126-155.

ММ с высокой степенью распараллеливания.

Статья разделена на 3 части. В первой обсуждаются многопроцессорные ММ и возможные способы распараллеливания алгоритмов. Вторая часть посвящена описанию машины Холланда [УИ-34]: рассматриваются основные характеристики, возможные модификации и их связь со способами распараллеливания алгоритмов. В третьей части показаны приемы распараллеливания и программирование. Приводится дискуссия по затронутым вопросам.

УИ-23

CRANE B.A. Economics of the DIM, a Batch-Fabricatable Parallel Computer. - In: National Symp. on the Impact of Batch Fabrication on Future Computers. Los-Angeles, April, 1965. Proceedings... N.Y., 1965, p.144-149.

ЭУ с распределенной логикой - параллельная ММ, построенная на основе групповой технологии.

Рассматривается экономическая эффективность применения запоминающих устройств с распределенной логикой (*DLM*), описанной в [УИ-24]. За критерий эффективности выбрано произведение времени, необходимого для решения задачи T , на стоимость машинного времени R . Построены кривые, показывающие зависимость эффективности применения *DLM* для инвертирования матриц n -го порядка при различной стоимости секций *DLM*. Из полученных зависимостей делается вывод, что уже при современном уровне стои-

мости групповой технологии *DLM* оказывается экономически эффективнее обычных машин при решении задач с высоким уровнем распараллеливания.

УИ-24

CRANE B.A., GITHENS I.A. Bulk Processing in Distributed Logic Memory. - "IEEE Trans. Electronic Comput.", 1965, vol. EC-14, N 1, p.186-196.

Параллельная обработка информации в памяти с распределенной логикой.

Описывается процессор с высоким уровнем параллельности, основанный на принципах одного типа ассоциативной памяти (памяти с распределенной логикой). В работе приведена структура процессора и список команд, которые он выполняет; показано, как выполняются арифметические операции одновременно над многими числами, показаны ограничения одномерной структуры памяти процессора и предлагается более эффективный вариант двумерной памяти; дан ряд примеров алгоритмов, демонстрирующих возможности параллельных вычислений.

УИ-25

CRANE B.A., LAMME R.R. A Cryoelectronic Distributed Logic Memory. - In: AFIPS Spring Joint Comput. Conf. 1967. Proceedings..., p.517-524.

Криоэлектронная память с распределенной логикой.

Предлагается вариант реализации памяти с распределенной логикой, описанной в [УИ-24], на криотронах. Была изготовлена память, содержащая 72 8-битных ячейки, работающая со скоростью 0,4 млн операций в сек. Приводится схема ячейки, параметры криотронов, методы компенсации неисправностей.

УИ-26

DAVIS R.L. The ILLIAC IV Processing Element. - "IEEE Trans. Comput.", 1969, vol. C-18, N 9, p.800-816.

Процессорный элемент цифровой вычислительной системы ILLIAC-IV.

В статье дается полное описание основного унифицированного устройства вычислительной системы ILLIAC-IV - процессор-

ного элемента (ПЭ). ПЭ содержит следующие элементы:

1. Четыре регистра по 64 двоичных разряда для хранения операндов и результатов.
2. Сумматор и барабанный коммутатор для выполнения арифметических и булевых операций и операций сдвига соответственно.
3. Регистр переадресации на 16 двоичных разрядов и сумматор для изменения и управления адресом запоминающего устройства.
4. Регистр режима работы на восемь двоичных разрядов для хранения результатов программ проверки и информации о состоянии процессора.

ПЭ оснащен примерно такой же системой команд, как и большие универсальные ЦМ. Предусматриваются арифметические действия с плавающей запятой со словами обычной и сокращенной вдвое длины, а также нормализация и округление. Кроме того, ПЭ может работать в 8-разрядном (байтовом) режиме, выполнять операции без учета порядка чисел, арифметические действия только с порядками и, наконец, операции с абсолютными значениями машинных чисел (без учета знаков).

УШ-27

DEWE W.Y., SAKRISON D.J. Berkeley Array Processor. - "IEEE Trans. Comput.", 1970, vol. C-19, N 5, p. 444-447.

Процессор, построенный из однородных блоков.

Описан построенный в Беркли процессор, состоящий из блоков однородной структуры. Это специализированная ЦМ, предназначенная для выполнения операций корреляции, рекурсивного фильтрации, матричного умножения и ряда других. Рассмотрена логическая организация и функционирование процессора.

УШ-28

EDLSTEIN I.A. "Picture Logic" for "Bacchus" a Fourth Generation Computer. - "Comput. J.", 1963, vol. 6, N 2, p. 144-153.

"Картичная логика" для "Бахуса" - ЭМ четвертого поколения.

Предлагается осуществлять вычислительный процесс путем параллельной обработки массивов информации, представленных в виде "картин" переменной яркости. Показано, что таким путем мож-

но получить производительность 10^{17} - 10^{20} логических операций в секунду. Рассмотрена реализация функции алгебры логики, причем выполнение элементарных логических операций производится с целыми массивами информации параллельно. Описаны основные логические элементы и запоминающие ячейки с использованием опто-электронных принципов.

УШ-29

EDWARDS R.P. Content-Addressable Distributed-Logic Memories. - "Proceedings of the IEEE", 1964, vol. 52, N 1, p. 83-84.

То же на русск.яз.: Запоминающее устройство с распределенной логикой, дающее возможность выборки по содержанию информации. - Труды Института инженеров по электронике и радиоэлектронике, 1964, т. 52, № 1, с. 88-89.

Заметка содержит анализ работы [УШ-42]. В ней отмечается, что статья является попыткой отказаться от концепции последовательной адресации запоминающих устройств вычислительных машин и предлагаются некоторые обобщения: больше уровней правых скобок, допущение обобщенной группировки, использующей символ \neq , отказ от адресов в программах и использование вместо одно- и двухадресных команд рекурсивной логики. Указаны некоторые неточности в [УШ-42].

УШ-30

EWING R.G., DAVIES P.M. An Associative Processor. - In: AFIPS Fall Joint Comput. Conf. 1964. Proceedings..., p. 147-158. Ref.: "Comput. Abstr.", 1965, vol. 9, N 7, p. 134.

Ассоциативный процессор.

В этой статье описывается машинная система, спроектированная в рамках программы развития организации некротронных ассоциативных процессоров и изучения возможностей их использования в целом ряде авиационных применений. Суть выбранного подхода состоит в развитии новой машинной организации, основанной на принципе распределенной в памяти логики. Ассоциативный процессор имеет запоминающее устройство с произвольным порядком выборки для хранения программ и ассоциативную память с последовательной обработкой двоичных разрядов для хранения данных и

параллельных вычислений. Способность записывать признаки (т.е. одновременная запись данных в выделенные разряды ряда выделенных слов), соединенная с упрощенной логикой схем, позволяет относительно эффективно построить алгоритмы с последовательной переработкой двоичных разрядов для многих видов параллельного поиска, параллельной арифметики и упорядоченного поиска. Предложены методы исправления некоторых классов неисправностей.

УИ-31

FAIKOFF A.D. Algorithms for Parallel-Search Memories. - "J. of the ACM", 1962, vol.9, N 4, p.488-511.

Алгоритмы для памяти с параллельным поиском информации.

Рассматривается логическая структура памяти с параллельным поиском. Память представляет собой матрицу (M), в которой K-ый ряд - это двоичное слово, хранящееся в месте, определенном его позицией в M.

Показаны характерные действия трех главных типов поиска информации, основанные на разности сравниваемого слова с хранимыми, представлены алгоритмы поиска информации, основанные на других функциях, таких как минимум, максимум, больше чем, меньше чем, ближайшее k, в интервале, упорядочение (сортировка). В работе показано, что существует иерархия зависимости среди этих алгоритмов, что они являются парами, причем члены пары принадлежат одному или другому из двух отдельных классов, и что любой тип поиска может выполняться внутри каждого класса.

УИ-32

GONZALES R. A Multilayer Iterative Circuits Computer. - "IEEE Trans. Electronic Comput.", 1963, vol. EC-12, N 6, p.781-790.

Многослойная итеративная вычислительная машина.

Рассмотрена трехслойная однородная вычислительная машина. Между слоями имеются соединения. Каждый слой - прямоугольная матрица из одинаковых по структуре ячеек, связи между ячейками в каждом слое одинаковы. Первый слой называется программным, второй - управляющим, третий - вычислительным. Выполнение команды происходит поочередно во всех трех слоях. Программная плата содержит вначале исходную программу (или программы) и данные,

затем - измененную программу, которая может получиться в процессе работы машины. Управляющая плата служит для определения ячеек, в которых занесены операнды команды, подлежащей выполнению вслед за командой, выполняемой в данный момент. На вычислительной плате выполняются арифметические, логические и геометрические операции. Приводится внутренняя структура ячейки машины, дана структура команд, исследован характер движения информации в слоях машины. Машина может одновременно выполнять много программ.

УИ-33

HANLOW A.G. Content-Addressable and Associative Memory Systems - A Survey. - "IEEE Trans. Electronic Comput.", 1966, vol. EC-15, N 4, p.509-521.

Система памяти с обращением по содержанию и ассоциативные памяти.

Обзор представляет собой попытку собрать воедино и описать без технических подробностей направления, в которых развивались многочисленные независимые исследовательские программы по разработке ассоциативных запоминающих устройств (АЗУ) в последние десять лет. Статья отражает взгляды многочисленных исследователей по вопросам организации элементов оборудования, логических операций, скорости, цен, размеров, влияния программного обеспечения, применения, преимуществ и недостатков АЗУ. В статье приводится довольно обширная библиография. Автор надеется, что основной текст и библиография могут служить базой для тех, кто входит в область исследований, обсуждаемую в статье.

УИ-34

HAWKINS J.K., MUMFORD C.J. A parallel Computer Organization and Mechanizations. - "IEEE Trans. Electronic Comput.", 1963, vol. EC-12, N 3, p.251-262.

Построение вычислительного устройства параллельного действия и его реализация.

Параллельное вычислительное устройство для обработки изображений состоит из двух плоских матриц по S элементов в каждой со следующими свойствами: 1) соединения идут от входной матрицы к выходной; 2) каждый выходной элемент получает информацию от N входных элементов ($N < S$); 3) структура соедине-

ний зависит от координат элементов в матрице; 4) на каждом шаге работы все выходные элементы формируют одинаковые логические функции f по отношению к входным данным; 5) логические функции f ограничены комплексом линейных функций; 6) выходная матрица может передавать данные в память, входная - принимать данные из памяти или из другого устройства.

В качестве реализации устройства предлагается оптическая система с двумя матрицами и с оптической маской между ними. Входные данные представлены в виде интенсивности света, падающего от элементов входной матрицы через маску на выходную матрицу. В работе приводятся два примера использования этой системы: для сложения изображений чисел и для обнаружения острых углов изображения. В качестве эксперимента описывается упрощенная обработка аэрофотоснимка с целью обнаружения автомобилей.

УИ-35

HOLLAND J.H. A Universal Computer Capable of Executing an Arbitrary Number of Sub-Programs Simultaneously. - In: Eastern Joint Comput. Conf., December 1959. Proceedings..., 1959, p.108-113.

Универсальная ЭМ, способная обрабатывать параллельно произвольное число подпрограмм.

Машина представляет собой двумерную решетку ячеек, которые имеют одинаковую логическую структуру. Каждая ячейка соединена со своими четырьмя непосредственными соседями. Все ячейки синхронизированы. Основу каждой ячейки составляют запоминающий регистр, несколько вспомогательных регистров и связанные с ними логические схемы. Слово в запоминающем регистре рассматривается как команда или число в зависимости от состояния ячейки. В каждый момент времени любая ячейка может быть в активном или неактивном состоянии. Если ячейка активна, то она выполняет записанную в её запоминающем регистре команду. Машина имеет восемь команд.

УИ-36

HOLLAND J.H. On Iterative Circuit Computers of Microelectronic Components and Systems. - In: Western Joint Comput. Conf., San-Francisco, May, 1960. Proceedings..., California, 1960, p.259-266.

ЭМ итеративной структуры в микроэлектронном исполнении. Машина обладает более сложной конструкцией по сравнению с [УИ-35] из-за того, что в неё введена возможность разветвления на каждом шаге пути. Машина имеет шесть команд.

УИ-37

The ILLIAC-IV Computer. - "IEEE Trans. Comput.", 1968, vol. C-17, N 8, p.746-758. Auth.: G.H.Barnes, R.M.Brown, M.Kato, D.J.Kuck, D.L.Slotnick, R.A.Stokes.

Вычислительная машина ILLIAC-IV.

Дается подробное описание ЭМ с высокой степенью параллельности обработки информации ILLIAC-IV, которая начала разрабатываться в 1966 году и первая часть которой была построена в 1970 г. ILLIAC-IV состоит из 256 процессорных элементов, организованных в 4 однородные процессора с переменной структурой, каждый из которых содержит по 64 процессора. Время сложения 64-разрядных слов составляет 240 нсек, а время умножения - 400 нсек. Каждый процессор содержит 10^4 вентилялей и ЭУ на 2048 слов памяти на тонких магнитных пленках.

Все процессоры имеют общее управление. Каждый процессор может быть разделен на 2 32-разрядных или 8 8-разрядных подпроцессора.

Описана структура машины, приводится процедура диагностики и дается список команд. Более подробное описание процессорного элемента дано в [УИ-26]. Программирование на ILLIAC-IV показано в [УИ-40].

УИ-38

KAUTZ W.H. Cellular Logic-in-Memory Arrays. - "IEEE Trans. Comput.", 1969, vol.C-18, N 8, p.719-727.

Клеточные логические структуры с распределенной памятью. См. [УИ-31].

УИ-39

KOCZELA L.J., WANG G.Y. The Design of a Highly Parallel Computer Organization. - "IEEE Trans. Comput.", 1969, vol.C-18, N 6, p.520-529.

Разработка структуры вычислительной машины с высокой степенью параллелизма.

Реф.: "Зарубежная радиозлектроника", 1970, № 2, с.41.

В статье излагаются результаты исследований структуры вычислительной машины, которая позволяла бы распределить по узлам возможно большее число работ и операций, выполняемых одновременно и независимо друг от друга. Машина состоит из идентичных связанных между собой блоков, объединенных в группы, которые, в свою очередь, связаны друг с другом с помощью специальных межгрупповых шин. Каждый блок выполнен на единой монокристаллической большой интегральной схеме (экстраполяция технологии на 1980 год) и включает секцию универсального процессора и память небольшого объема. От ранее разработанных систем с высокой степенью параллелизма система отличается тем, что отдельные блоки в структуре могут зависеть, а могут и не зависеть от блока управления. Это позволяет осуществлять для каждого блока как локальное, так и глобальное управление.

УИ-40

KUCK D.J. ILLIAC-IV Software and Application Programming. - "IEEE Trans. Comput.", 1968, vol.C-17, N 8, p.758-770.

Математическое обеспечение ILLIAC-IV.

Авторами машины было принято решение не разрабатывать специального языка для ILLIAC-IV с тем, чтобы можно было моделировать для неё любой транслятор.

Указано 12 классов задач, которые были рассмотрены и программированы для ILLIAC-IV. Во всех задачах вычисления производились параллельно над 1-мерными, 2-мерными или 3-мерными массивами данных. Предлагаются способы эффективного размещения данных в памяти. Программа рассматривается как две отдельные части: алгоритм размещения данных в памяти и алгоритм вычислений. Основное внимание уделяется первой части. Предлагаются способы эффективного размещения информации, и даны примеры программирования на языке TRANQUIL [УИ-68].

УИ-41

LEE C.Y. Intercommunicating Cells, Basis for a Distributed Logic Computer. - In: AFIPS Fall Joint Comput. Conf. 1962. Proceedings..., vol.22. Washington, 1962, p.130-136.

Взаимосвязанные ячейки как основа для построения машин с распределенной логикой.

Описывается система из одинаковых линейно расположенных ячеек, каждая из которых способна запоминать символ, соединена с соседними и присоединяется к общим шинам для передачи входных и выходных сигналов, сигналов совпадения и управления распространением активности. Время определения содержимого строки по её наименованию или наименования строки по её содержанию не зависит от числа ячеек.

УИ-42

LEE C.Y., PAULL M.C. A Content Addressable Distributed Logic Memory with Applications to Information Retrieval. - "Proceedings of the IEEE", 1963, vol.51, N 6, p.924-932.

То же на русск.яз.: Запоминающее устройство с распределенной логикой, дающее возможность выборки по содержанию информации. - "Труды Института инженеров по электротехнике и радиоэлектронике", 1963, т.51, № 6, с.931-940.

В статье описана система памяти с возможностью выборки по содержанию информации. Основная память построена на одинаковых небольших автоматах, называемых ячейками. Каждая ячейка может передавать сигналы соседним с ней ячейкам. Имеется шестнадцать команд управления. Управляет памятью внешняя вычислительная машина. В работе рассматривается применение этой памяти при решении некоторых задач, связанных с извлечением информации.

УИ-43

LIBRIZZI L. Cellular Multihead Turing Machine. Politechnic Inst. of Brooklyn. AD-714557, Sept. 1970. 45 p.

Ref.: "Comput. Abstr.", 1971, vol.15, N 5, p.88.

Клеточные многоголовочные машины Тьюринга.

Одним из недостатков машин Тьюринга является её очень низкая скорость. Одним из путей повышения быстродействия яв-

ляется увеличение числа состояний машины или числа символов, которое машина может прочесть и записать. Другой путь увеличения бистродействия — это не иметь заданного числа головок и реализовать ЭМ в клеточной структуре. Новые головки будут реализованы тогда, когда это нужно, и исчезать, когда они больше не нужны для дальнейших вычислений. В работе исследована система такого типа, приведен ряд примеров, включая универсальный тип многоголовочной машины Тьюринга. Показано, что многоголовочная машина выполняет параллельные вычисления в отличие от одноголовочной машины.

УШ-44

MATHEW R.M., ROTH C.H. Parallel Computing Structures and Algorithms for Logic Design Problems. Texas University, AD-699218, 11 July 1969. 124 p.

Ref.: "Comput. Abstr.", 1970, vol. 14, N 7, p. 140.

Параллельные вычислительные структуры и решение логических задач.

Поставлена задача выбора структуры ЭМ для наиболее эффективного решения широкого класса логических задач: минимизации и решения логических уравнений, сокращения числа состояний, кодирования и синтеза автоматов, моделирования цифровых систем и других. Были рассмотрены различные варианты для ИИ алгоритмов задач этого класса и решение их при помощи ЭМ различной структуры. В результате сделан вывод, что ассоциативная структура является наилучшей. Для преодоления некоторых трудностей предлагается ввести возможность перестройки структуры. Приводится система команд. Программирование упрощается из-за параллельности и сходства структур алгоритмов и ЭМ. Рассмотрены параллельные языки программирования и предложен язык для решения логических задач.

УШ-45

McKEEVER B.T. The Associative Memory Structure.—In: AFIPS Fall Joint Comput. Conf. 1965. Proceedings..., vol. 27, pt. 1. Washington, D.C. Spartan, 1965, p. 371-388.

Ассоциативная ЭМ.

Рассматривается ассоциативная ЭМ, которая может быть создана в предположении, что существует однородная структура,

объемом $0,5 \cdot 10^9$ ячеек, работающая со скоростью $0,25 \cdot 10^6$ операций в секунду, в которой одновременно решается 10^5 задач. Структура машины не полностью однородна. Она состоит из двух типов модулей: один тип содержит память с малым количеством логики, другой — логику с малым количеством памяти. Каждый из модулей сам по себе является однородной микроструктурой с двумя типами ячеек.

Показано, как в предлагаемой ЭМ производится поиск, запись, считывание, сложение и другие операции. Иерархия соединений и распределенное управление обеспечивают селективный параллелизм.

УШ-46

MINNICK R.C., CANNON L.E. A Cellular Computer Organization for Matrix Operations. Montana State University, AD-665332, Sept. 1962. 12 p.

Ref.: "Comput. Abstr.", 1968, vol. 12, N 7, p. 148.

Организация однородной ЭМ для матричных операций.

Предложена структура ЭМ, предназначенной для выполнения операций над матрицами и векторами. В качестве примера приводится матричное умножение, основанное на алгоритме, построенном авторами. Рассмотрена задача дискретного фильтра Кальмана, которая эффективно решается на такой ЭМ.

УШ-47

MINNICK R.C., RUDBERG D.A. Cellular Realization of the Dynamic Programming Algorithm. Rept. 603-F1-0468. 24 p. April 1968; U.S. Gov't R & D Repts, vol. 68, p. 87(A), October 10, 1968. AD-672570. CFSTI.

Однородная структура для реализации алгоритмов динамического программирования.

В работе излагается общее алгоритмическое описание, не включающее деталей логической конструкции, высокопараллельной, специально организованной клеточной машины, воплощающей дискретный фильтр Кальмана. Параллельные вычисления выполняются на прямоугольной структуре, состоящей из идентичных неуниверсальных модулей, обладающих определенной скоростью и использующей преимущества БИС-технологии.

УИ-48

MURTHA J.C. Highly Parallel Information Processing Systems. - In: Advances in Computers, vol.7. London, 1966, p.2-113.

Вычислительные устройства с высокой степенью параллельности обработки информации.

Статья имеет обзорный характер. Описываются основные известные до 1966 года параллельные машины, процессоры и системы. В первом разделе рассматриваются причины появления параллельных процессоров, даются экономические обоснования и классификация. 2,3,4 и 5-й разделы посвящены соответственно параллельным машинам, машинам с распределенным управлением, специализированным параллельным процессорам и системам с одновременным распараллеливанием и команд и инструкций. В разделах 6,7 и 8 рассматриваются языки, трансляторы и алгоритмы для параллельной обработки информации.

УИ-49

NATARAJAN N.K., THOMAS P. A Multiclassed Associative Memory. - "IEEE Trans. Comput.", 1969, vol.C-18, n 5, p.424-428.

Ассоциативная память с параллельной выборкой.

Предлагается тип ассоциативной памяти с одновременным обращением ко многим словам. Одновременность достигается за счет того, что имеется несколько независимых каналов (на каждое слово, к которому обращаются). В каждом канале может производиться своя операция. Приводится схема ячейки и схема организации памяти, системы команд и некоторые алгоритмы простейших операций. Память предполагается реализовать с помощью технологии больших интегральных схем.

УИ-50

NEWBORN M.M. Propagating Logic Structures. - In: Nat. Electronics Conf. Chicago, 1966. Proceedings..., vol.22. Ann Arbor, 1966, p.731-736.

Логические структуры с распространением информации.

Логическая структура с распространением информации определяется как система регистров. С каждым тактом информация перемещается с каждого зависимого регистра на следующий за ним независимый. В зависимых регистрах выполняются логические пре-

образования. Время распространения информации минимизировано тем, что глубина логики в регистрах не более двух. Независимые регистры выполняют функции передачи.

При выполнении арифметических операций информация перемещается с каждым тактом от регистра к регистру. Для сложения двух m -разрядных чисел требуется $m-1$ регистр.

Чтобы повысить эффективность, предлагается вариант "программируемой" структуры такого типа, в который каждый регистр настраивается на выполнение своей арифметической операции.

УИ-51

Parallel Processing in a Restructurable Computer System. - "IEEE Trans. Electronic Comput.", 1963, vol.EC-12, n 12, p.747-755. Auth.: G.Estrin, B.Bussel, R.Turn, J.Bibb.

Ref.: "Comput. Abstr.", 1964, vol.8, n 3, p.35.

Параллельные вычисления в ЭИМ с переменной структурой.

Изучение практических задач позволяет сделать вывод о том, что скорость вычислений можно повысить, если для каждого класса задач использовать подходящую проблемно-ориентированную конфигурацию машины с переменной структурой. Экономическая осуществимость такой машины базируется на использовании одного и того же оборудования для множества разных конфигураций специального назначения. Эта способность достигается программированием или физической перестройкой части оборудования. В статье намечаются контуры организации, программирования и устройства машины с переменной структурой.

УИ-52

Research and Development of High Speed Processor Arrays. Lincoln Lab., M.I.T. AD-702687, Dec. 1969. 70 p.

Ref.: "Comput. Abstr.", 1970, vol.14, n 8, p.171.

Исследование и развитие быстродействующих однородных матриц для процессоров.

Описывается состояние и перспектива развития работ по созданию высокопроизводительных цифровых однородных структур и их применению. Важной задачей является разработка быстродействующего маломощного элемента, который может быть использован в качестве ячейки структуры. Были сделаны ячейки с быстродействием

У субнаносекундного диапазона и рассеянием мощности 15 мВ , содержащие 80 логических элементов. Испытывалась память 256 бит на таких ячейках. Дальнейшие работы в этом направлении будут проводиться.

УИ-53

RODRIGUEZ J.E. A Graph Model for Parallel Computations. Repts. ESI-R-398, MAC-TR-64. 113 p. September 1969; CFSTI, AD-697759.

Ref.: "IEEE Trans. Comput.", 1970, vol.C-19, N 8, p.768.

Графовая модель для параллельных вычислений.

Предлагается модель вычислений, называемая "графами программ", которая дает возможность точно описать параллельные вычисления произвольной сложности на неструктурных данных. В этой модели шаг вычислений представлен вершинами ориентированного графа, а его дуги представляют элементы памяти и передачи данных и/или управляющей информации. Шаг вычисления, представленного вершиной, зависит только от управляющей информации, обозначенной на дугах, входящих и исходящих из данной вершины.

УИ-54

ROGERS J.L., WOLINSKY A. Associative Memory Algorithms and Their Cryogenic Implementation. U.S. Gov. Res. Repts.v.39, p.166(A), AD-429521, May 5, 1964.

Алгоритмы для ассоциативного запоминающего устройства и их криогенное воплощение.

УИ-55

ROSIN R.F. Organization of an Associative Cryogenic Computer. - In: AFIPS Spring Joint Comput. Conf. 1962. Proceedings..., vol. 21. California, 1962, p.203-212.

Организация ассоциативной криотронной ЭМ.

Цель работы - дать обзор существующих идей об организации машин на криотронах. На основе уже опубликованных схем ассоциативных устройств рассматриваются вопросы организации вычислительной машины: выбираются форматы команды и слова данных, рассматриваются способы задания последовательностей инструкций в программе, особенности адресации, ввода-вывода. В работе также исследуются возможности программирования на машинах предлагаемого класса.

УИ-56

SENZIG D.N., SMITH R.V. Computer Organization for Array Processing. - In: AFIPS Fall Joint Comput. Conf., 1965. Proceedings..., vol.27, pt.1. Washington, 1965, p.117-128.

Организация ЭМ для параллельной обработки информации.

Предлагается вычислительная машина (ЭМ) с множеством арифметических устройств (АУ), работающих параллельно и управляемых общим устройством управления. АУ представляет собой одномерную систему из 72 одинаковых процессоров. Переработка информации в каждом из них производится одновременно во всех разделах регистра. Приводятся система команд и пример программы.

Функциональные возможности ЭМ такие же, как у системы СОЛОМОН [УИ-62], но организация её ближе к обычной.

УИ-57

SHOKE J.E., ROIKINGHORN F.A. A Fast, Flexible Highly Parallel Associative Processor. Rept. NRL-6961. 50 p. Nov.1969, CFSTI. AD-702394.

Ref.: "Comput. Abstr.", 1970, vol.14, N 8, p.171.

Быстродействующий ассоциативный процессор с высокой степенью распараллеливания.

Описана логическая организация и работа универсального ассоциативного процессора. Каждая ассоциативная ячейка наделена богатым набором логических функций и строится из одинаковых элементов, которые могут быть изготовлены в виде средних или больших интегральных схем.

Процессор обладает возможностью производить все логические, арифметические и ассоциативные операции. Операции производятся одновременно по всем словам, которые могут быть разбиты на части, причем на каждой части производится своя операция.

УИ-58

SHORT R.A., PEASE M.C. Data Processing in Bulk Transfer Systems. Rept. AD-702061, SRI, Jan. 1970, 56 p.

Ref.: "IEEE Trans. Comput.", 1970, vol.C-19, N 11, p.1124.

Обработка данных в системах с параллельным преобразованием информации.

Системы параллельной обработки данных характеризуются од-

новременным преобразованием массивов информации. Исследуются характеристики таких систем и возможности их применения. Делается вывод, что параллельная обработка резко увеличивает производительность в случаях, когда алгоритмы содержат много одинаковых операций, которые можно выполнять одновременно. Обсуждаются некоторые физические факторы, ограничивающие алгоритмическую гибкость системы.

УШ-59

SIMMONS G.J., ROOK L.W. A Description of the Computer Organization Imposed by Large Iterative Systems. - In: Nat. Symp. on the Impact of Batch Fabrication on Future Computers. Los Angeles, April 1965. Proceedings... N.Y., 1965, p.191-196.

Организация ЭМ на основе большой системы из одинаковых элементов.

Большой класс задач, требующих микроструктурного моделирования (модели развития общества, большие системы управления, модели нервной деятельности) может решаться в системе со следующими параметрами: число элементов $10^6 - 10^8$; число непосредственных соседей каждого элемента $10 - 10^3$; число состояний элемента - 10. Система должна иметь память параллельного действия с распределенной логикой. Ставится задача разработки принципов управления и математического обеспечения таких систем.

УШ-60

SINGER T., SCHUPP P. Associative Memory Computers from the Programming Point of View. Mitre Corp., AD-416301, 1963, 19 p. Ref.: "Comput. Abstr.", 1964, vol. 8, N 3, p. 35.

Ассоциативные ЦМ с точки зрения программирования.

Изучается понятие ассоциативной памяти с точки зрения проектирования ЦМ и применения их в ближайшем будущем. Дается подробный анализ предшествующих работ. Особое внимание уделяется вопросам программирования. Детально рассмотрены 3 задачи программирования из разных областей.

УШ-61

SLOTNICK D.L., BARCK W.C., McREYNOLDS R.C. The SOLOMON Computer - a Preliminary Report. - In: Workshop on Computer Or-

ganization 1962. Proceedings... Washington-London, 1963, p.66-93.

Вычислительная система СОЛОМОН - предварительное сообщение.

Дается описание системы СОЛОМОН. Указываются возможности её применения. Перечисляются преимущества системы по сравнению с существующими ЭМ.

Более подробно описание дается в [УШ-62].

УШ-62

SLOTNICK D.L., BARCK W.C., McREYNOLDS R.C. The SOLOMON Computer. - In: AFIPS Fall Joint Comput. Conf. vol. 22. 1962. Proceedings... Washington, 1962, p.97-107.

Вычислительная система СОЛОМОН.

Вычислительная система СОЛОМОН состоит из центрального устройства управления и множества одинаково соединенных модулей. Каждый модуль имеет арифметическое устройство, выполняющее последовательно разряд за разрядом арифметические и логические операции, и два блока памяти. Все модули в один и тот же момент могут выполнять только одну операцию над числами, хранящимися в их ячейках памяти с одними и теми же адресами. Однако не все модули должны обязательно выполнять команды, поступающие из центрального устройства, часть из них может оставаться в пассивном состоянии.

УШ-63

SPIEGELTHAL E. A Content-Addressable Distributed Logic Memory with Application to Information Retrieval. - "Proceedings of the IEEE", 1964, vol. 52, N 1, p.74.

То же на русск. яз.: Запоминающее устройство с распределенной логикой, дающее возможность выборки по содержанию, и его применение к извлечению информации. - Труды Института инженеров по электронике и радиозлектронике, 1964, т.52, № 1, с. 78.

В заметке указаны некоторые неточности, обнаруженные в работе [УШ-42], и намечены пути их исправления.

УШ-64

STONE H.S. A Logic-in-Memory Computer. - "IEEE Trans. Comput.", 1970, vol. C-19, N 1, p.73-76.

Ref.: "Comput. Abstr.", 1970, vol. 14, N 4, p.77.

Запоминающее устройство с распределенной логикой.

Предлагается вариант запоминающего устройства с распределенной логикой (ЗУ РЛ), который используется в качестве буферного ЗУ в машине IBM 360/85. Утверждается, что до тех пор, пока микронеэлектронные ЗУ дороже, чем ЗУ на магнитных сердечниках, и пока стоимость их больше зависит от числа выводов, чем от числа компонент, использование ЗУ РЛ в качестве буферных устройств очень эффективно.

В ЗУ РЛ могут производиться все арифметические и логические операции одновременно между всеми парами элементов двух массивов, а также операции ассоциативного поиска внутри массива. Описываются особенности программирования при использовании ЗУ РЛ.

УИ-65

Structure of a Cryogenic Associative Processor. - "Proceedings of the IEEE", 1964, vol.52, N 10, p.1273-1282. Auth.: J.D.Barnard, F.A.Behnke, A.B.Lindquist, R.R.Seeber.

Структура криогенного ассоциативного устройства обработки данных.

Приводится подробное описание криогенного ассоциативного устройства для обработки данных на 5000 72-разрядных двоичных слов. К основным ассоциативным операциям в этом устройстве добавлены операции сортировки, селективной записи, маркировки, поиска следующего большего, следующего меньшего и стоящего между определенными пределами числа. Описаны физическая и логическая структуры системы, сформулированы требования к внешним и низкотемпературным схемам. Кроме того, обсуждаются причины, определяющие выбор предлагаемой блок-схемы устройства.

УИ-66

STURMAN J.N. An Iteratively Structured General-Purpose Digital Computer. - "IEEE Trans. Comput.", 1968, vol. C-17, N 1, p.2-9.

Универсальная ЭМ с итеративной структурой.

Реф.: "Экспресс-информация, серия Вычислительная техника", 1968, вып.27, с.1.

Описана универсальная вычислительная машина (ЭМ) синхронного типа с хранением программы. ЭМ состоит из множества одинаковых и одинаково соединенных между собой автоматов с числом состояний не более 2^{11} . Одномерная итеративная структура этих автоматов (ячеек) подобна ассоциативной памяти с распределенной логикой [УИ-41]. Существенным различием является то, что инструкции хранятся в этих ячейках и управляются ими, а не центральным процессором. Предложена специальная схема для соблюдения последовательности команд и дается пример программы.

УИ-67

STURMAN J.N. Asynchronous Operation of an Iteratively Structured General-Purpose Digital Computer. - "IEEE Tran.Comput.", 1968, vol. EC-17, N 1, p.10-17.

Асинхронные операции универсальных ЭМ с итеративной структурой.

Рассматриваются асинхронные операции для универсальной ЭМ с итеративной структурой, описанной в [УИ-66]. В этой машине сигналы команд подаются на все ячейки по общей шине. Так как реальная шина обладает распределенной емкостью и индуктивностью, то сигналы появляются не одновременно во всех точках шины, что приводит к нарушению синхронности операции в ЭМ.

УИ-68

TRANQUIL - A Language for an Array Processing Computer. - In: AFIPS Spring Joint Comput. Conf. 1969. Proceedings...v.34. Montvale, N.Y., 1969, p.52-73. Auth.: M.A. Abel, P.P. Burnik, D.J.Kuck, Y.Muraoka, R.S.Northcote, R.B.Wilhelmsen.

TRANQUIL - язык для машины с матричным процессором.

TRANQUIL - алгоритмический язык для параллельной обработки информации, который используется для программирования на ILLIAC-IV [УИ-40]. Основное содержание при разработке языка заключается в том, что параллелизм в языке должен быть отображен лучше, чем в машине, на которую он ориентирован. Структура языка основана на структуре АЛГОЛа, часть конструкций следует идеям, заложенным в других языках.

УШ-69

UNGER S.H. A Computer Oriented Toward Spatial Problems. - "Proceedings of the IEEE", 1958, vol.46, N 10, p.1744-1750.

Вычислительная машина, ориентированная на решение прост - ранственных задач.

Предлагается машина, предназначенная для обработки информации о пространственном размещении объектов. Машина состоит из большого числа одинаковых логических модулей и имеет одно центральное устройство управления (УУ). Логические модули состоят из одноразрядного двоичного положительного сумматора с логическими схемами для выполнения определенного набора операций и нескольких одноразрядных ячеек памяти. Каждый модуль соединен каналами связи со своими четырьмя соседями, центральным УУ и внешним источником информации. Все логические модули выполняют одновременно одну и ту же операцию. Логическая схема модуля содержит 170 вентилях и 11 триггеров. Приводится система команд и несколько простых программ.

УШ-70

UNGER S.H. Pattern Recognition and Detection. - "Proceedings of the IEEE", 1959, vol.47, N 10, p.1737-1753.

Распознавание образов.

Исследована работа машины, предложенной в [УШ-69], для задач распознавания зрительных образов. Задачи разделены на 2 класса: 1) определение конфигурации образа, 2) сопоставление образа с каким-либо заданным.

Работа машины была промоделирована на IBM-704 на примерах распознавания букв, написанных от руки. Приведены программы и результаты моделирования.

УШ-71

UNGER S.H. Pattern Recognition Using Two-Dimensional, Bilateral, Iterative, Conditional Switching Circuits. - In: Symp. Math. Theory Automata. N.Y. 1962. Proceedings... Brooklyn, 1963, p.577-591.

Применение двумерных, двусторонних, итеративных переключательных цепей для распознавания образов.

См. [УГ-69, УШ-70].

УШ-72

WANG F.L. Theory of Adaptive Mechanisms. Part V. A New Approach Toward Parallel Processing. Syracuse University, AD-711051, July 1970. 118 p.

Ref.: "Comput. Abstr.", 1971, vol.15, N 2, p.24.

Теория адаптивных устройств. Гл.У. Новый подход к параллельным вычислениям.

Предлагается новый подход к решению проблемы повышения производительности ЭВМ путем использования принципа параллельности: 1) многопроцессорные машины, в которых процессоры могут работать одновременно; 2) многопроцессорные машины, в которых процессоры соединены в виде матрицы и имеют общее управление как инструкциями, так и числами; 3) многомашиные системы, в которых много машин объединено общими входными и выходными устройствами.

Предлагается система машины с переменной структурой, которая может работать либо как многомашиная, либо как многопроцессорная. Устройства управления (УУ) всех машин системы управляются одним общим УУ и очень сильно связаны между собой.

УШ-73

WATSON G.A., HANSALIK W.E., EMERSON H.B. Multiple Arithmetic Iterative Array Computer. - In: Nat. Electronic Conf., Chicago, Illinois, October 1964. Proceedings... vol.20. Chicago, 1964, p.669-674.

Блочная вычислительная машина с итеративным арифметическим устройством.

Машина содержит два основных блока: память и арифметическое устройство. Арифметическое устройство является трехмерным массивом ячеек, каждая из которых содержит два бита памяти и полный сумматор. Ячейки обмениваются информацией только со своими ближайшими соседями. Переработка информации происходит следующим образом: для каждой операции код операции и операнды подаются параллельно на поле ячеек вдоль одной из граней массива. В каждый момент времени информация распространяется от одного ряда ячеек к соседнему и при этом преобразуется. Одновременно может выполняться целый ряд операций. Обмен между памятью и арифметическим устройством осуществляется блоками слов.

УИ-74

WOLINSKY A. Unified Interval Classification and Unified 3-Classification for Associative Memories. - "IEEE Trans. Comput.", 1969, vol.C-18, N 10, p.899-911.

Алгоритмы для классификации информации в ассоциативном ЗУ.

Приводятся два алгоритма классификации слов в ассоциативном запоминающем устройстве (АЗУ). Первый алгоритм разделяет все слова, хранящиеся в ЗУ, на 2 класса: 1) значения которых лежат в заданных пределах, 2) значения которых не лежат в заданных пределах. Второй алгоритм разделяет все слова на 3 класса: 1) между заданными пределами, 2) ниже нижней границы, 3) выше верхней границы.

Предлагаемые алгоритмы позволяют значительно повысить скорость работы АЗУ. В качестве примера приводится крестронное АЗУ, способное выполнять приведенные алгоритмы.

УИ-75

YANG C.C., YAU S.S. A. Outpoint Cellular Memory. - "IEEE Trans. Electronic Comput.", 1966, vol.EC-15, N 4, p.522-528.

Ассоциативная память на основе ячеек Минника с простыми связями.

Благодаря быстрому росту возможностей технологии по изготовлению большого числа компонент на одной подложке становится целесообразным построение ассоциативной памяти в виде клеточных массивов. В статье рассматривается ассоциативная память такого типа. Предлагаемая память имеет плоскую ориентацию и построена из ячеек Минника [УИ-57] с различными индексами. Все устройства памяти имеют идентичную структуру. Память может выполнять сравнение, поиск по признаку, запись, неразрушающее чтение параллельно по битам, а также один из типов сортировки при упорядоченном поиске.