

МНОГОФУНКЦИОНАЛЬНЫЙ СПЕЦИАЛИЗИРОВАННЫЙ МИКРОПРОЦЕССОР

Я.И.Фет

Целью работы является расширение функциональных возможностей динамических параллельных процессоров. Предлагается обобщенная структура динамического процессора, на основе которой путем статической либо динамической реконфигурации могут быть реализованы специализированные операционные устройства различного назначения: вычислительные, информационно-логические, коммутирующие и т.д.

Структура. В основе этой работы лежит крупноблочный подход к организации вычислительных процессов [1]. Как известно, крупноблочные вычислительные устройства для эффективной одновременной обработки больших массивов информации используют различные нетрадиционные архитектурные решения (параллельные, конвейерные, ассоциативные и др.).

Интересный класс массовых вычислительных устройств образуют вертикальные параллельные процессоры. Эти устройства были впервые предложены, по-видимому, У.Шуманом [2]. Идея заключается в том, что большой однородный массив обрабатывается параллельно по всем словам (строкам), но последовательно по разрядам (столбцам). Разрядные срезы считаются в определенном порядке из запоминающего устройства на регистры "вертикального" операционного устройства, в котором они подвергаются параллельной обработке, соответствующей выполняемой команде. Такую же структуру имеют, в сущности, "псевдо-ассоциативные устройства", предложенные Д.Злотником [3] и использованные во многих проектах процессоров баз данных.

В работах [4-6] рассмотрен ряд специализированных однородных структур, реализующих такие крупноблочные базовые операции, как поиск экстремума, поиск ближайшего числа, разбиение множества элементов массива на подмножества относительно заданных эталонов, скалывание двоичного вектора и т.д.

Было показано, что каждой такой двумерной функциональной структуре может быть сопоставлена схема, моделирующая алгоритм работы этой структуры в одномерном (вертикальном) процессоре. Иными словами, вместо реализации алгоритма в пространстве (двумерной комбинационной итеративной сети) возможна поразрядная обработка с запоминанием на каждом такте промежуточных результатов ("переносов", межэлементных сигналов). Такая схема была названа в [5] динамическим параллельным процессором (рис.1).

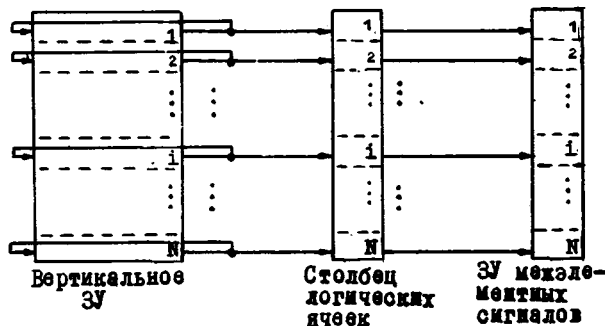


Рис.1

Для построения динамического параллельного процессора, эквивалентного той или иной специализированной однородной структуре, в [5] было использовано преобразование "пространство-время", предложенное в работах Ф.Хемми [7].

Сейчас нас интересует расширение концепции вертикальных или динамических параллельных процессоров.

Мы будем рассматривать двумерные специализированные структуры, в которых не обязательно выполняются требования однородности и близкодействия. Примером таких структур являются некоторые соединительные сети: α -сеть Лаури [8], самонастраивающиеся перестановочные сети Бенеша [9], сортирующие сети Бетчера [10] и Каутца [11]. К этим (пространственным) сетям может быть применено, так же как это делается в двумерных итеративных сетях, преобразование "пространство-время" (схитие), которое переводит исходную сеть в эквивалентный динамический параллельный процессор.

Подобные преобразования, вообще говоря, уже рассматривались в работах по соединительным сетям. Например, моделирование работы многокаскадной сортирующей сети Бетчера на однокаскадной сети Стоуна [12] есть не что иное, как схитие сети Бетчера.

Расширение понятия динамического процессора изменяет характер соединений между его узлами и роль этих соединений. При моделировании однородных структур соединению подлежат только одноимен-

ные ячейки всех узлов (см.рис.1). В обобщенном динамическом процессе между выходами ЗУ и ячейками столбцов операционного устройства могут понадобиться довольно сложные "рисунки" соединений. Например, такие стандартные перестановки, как "идеальная тасовка" или обратная ей "перегруппировка". Кроме того, полезно рассматривать процессор с несколькими одинаковыми (или различными) операционными столбцами. Так, если при реализации перестановочной сети условия позволяют построить $\log_2 N$ столбцов из поразрядных компараторов, то мы получаем развернутую в пространстве Ω -сеть, которая, по-видимому, эффективнее однокаскадной модели. Наличие нескольких, скажем m , столбцов полезно и при реализации специализированных однородных структур: в этом случае нет необходимости производить полное сжатие и соответственно обработку по одному разряду; вместо этого можно вести обработку группами по m разрядов.

Мы приходим, таким образом, к структуре обобщенного динамического параллельного процессора, приведенной на рис.2. Здесь показан также блок микропрограммного управления, который необходимо включить в структуру, если процессор выполняется в виде автономного устройства.

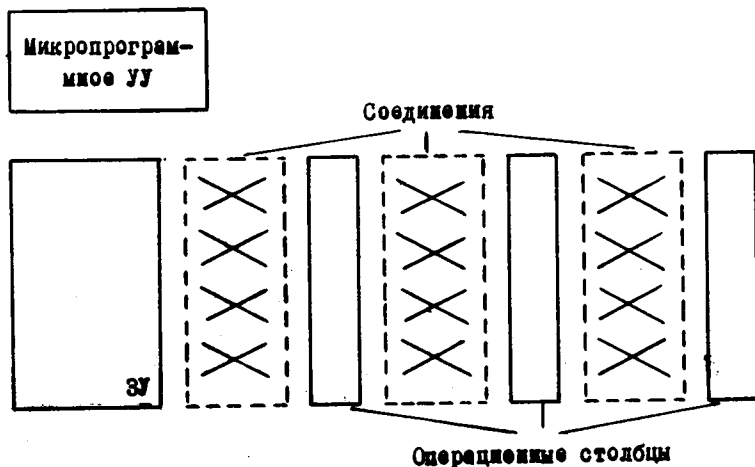


Рис.2

Эта обобщенная структура может рассматриваться как единая основа для различных конкретных реализаций, осуществляемых путем статической и/или динамической реконфигурации. Каждая из реализаций ориентирована на определенный круг крупноблочных базовых операций (процедур), на определенный класс задач. Некоторые из известных реализаций приведены в таблице. Этот список может расширяться по мере исследования и разработки новых функционально-ориентированных параллельных структур, поскольку обобщенный динамический процессор, как нам представляется, хорошо отражает структурные особенности многих алгоритмов массовой обработки информации.

К о н с т р у к ц и я. Обобщенный динамический параллельный процессор может быть выполнен в виде отдельного функционального устройства — например, на одном кристалле СБИС. Это устройство можно назвать многофункциональным специализированным микропроцессором.

Такой микропроцессор должен содержать три отдельных блока, каждый из которых имеет аналоги в современной схемотехнике:

- 1) запоминающее устройство с необходимыми схемами адресации и ввода/вывода — техника ЗУПВ;
- 2) микропрограммное устройство управления — техника ПЗУ или ППЗУ;
- 3) операционное устройство, которое состоит из ряда столбцов логических ячеек, разделенных "коридорами" соединительных цепей, хорошо согласуется с техникой некоммутированных вентиляльных матриц.

Первые два блока останутся неизменными в микропроцессорах различного назначения. Реконфигурация касается только операционного устройства и должна обеспечивать изменения логики обрабатываемых столбцов, а также — рисунка соединений в "коридорах". В зависимости от назначения конкретного микропроцессора, сложности его схем и предполагаемого круга применений, все необходимые перестройки должны быть разумно разделены на статические и динамические. Статические осуществляются обычным для некоммутированных вентиляльных матриц способом на последних этапах технологического процесса, динамические — сигналами микропрограммного УУ, воздействующими на специально предусмотренные в схемах операционного устройства переключательные элементы.

Т а б л и ц а

Типы устройств	Базовые операции (процедуры)	З а д а ч и
α -структура [4,6]	max, min	Информационно-логические. Управление базами данных. Управление роботами.
λ -структура [13]	"Сжатие"	Массовые арифметические вычисления. Арифметические операции в системах остаточных классов. Аппаратный контроль. Коммутация.
Ассоциативный ДПП* [5,14]	Ассоциативные поиски	Информационно-логические. Массовые арифметические вычисления. Управление базами данных.
Арифметический ДПП [5]	Покомпонентные арифметические	Массовые вычисления. Сравнения.
Соединительные сети [8,9,15]	Сравнение, перестановка	Коммутация.
Сортирующие сети [10,11]	Сравнение, перестановка	Упорядочение.
σ -структура [16]	Ассоциативные поиски	Информационно-логические. Управление базами данных (операции "массив-скаляр").
Процессор меченых массивов [17]	Упорядочение, специальные логические операции	Управление базами данных (операции "массив-массив").

ПРИМЕРЫ. В качестве примера можно привести два варианта организации динамической реконфигурации для операционного устройства, ориентированного на операции "массив-скаляр". В первом варианте [16] предполагается использовать один операционный столбец из "универсальных" σ -ячеек. В зависимости от выполняемой на данном этапе операции сложного ассоциативного поиска, все σ -ячейки операционного столбца настраиваются соответствующим сигналом управления на схему той или иной специализированной однородной струк-

* ДПП - динамический параллельный процессор.

туры (α , ϵ , ν , η и т.д.). Другой вариант: можно использовать несколько операционных столбцов, причем каждый из них строится из простых специализированных ячеек (α -столбец, ϵ -столбец и т.д.). Сигналы управления выбирают один из столбцов, а ячейки всех остальных столбцов работают в это время как "проходимые шины". Выбор варианта динамической реконфигурации должен быть сделан на этапе конкретного проектирования микропроцессора.

Динамическая реконфигурация коридора может потребовать, например, трех состояний:

- прямых соединений одноименных ячеек операционных столбцов (для операций типа ассоциативного поиска);
- соединений одноименных выходов двух полей буферного ЗУ со входами соответствующей ячейки некоторого операционного столбца (для покомпонентных сравнений и массовых арифметических операций);
- соединений реализующих идеальную тасовку - для перестановок, упорядочения и основанных на этих базовых процедурах информационно-логических обработок.

В заключение приведем пример комплексного использования описанного микропроцессора. В процессорах для аппаратной поддержки реляционной базы данных [16,17] можно выделить три операционных устройства (OU), предназначенных для эффективного выполнения трех различных типов запросов: OU1 - для простых запросов поискового характера, OU2 - для сложных запросов, в которых аргументами являются два или несколько массивов, OU3 - для запросов, содержащих агрегатные функции (массовые арифметические операции).

Из изложенного выше следует, что каждое из этих операционных устройств может быть получено на основе единой базовой структуры с помощью соответствующей реконфигурации. В зависимости от технических требований это могут быть три самостоятельных операционных устройства либо одно - обобщенное, перестраиваемое по мере необходимости в схемы OU1, OU2, OU3.

Л и т е р а т у р а

1. КАНТОРОВИЧ Л.В. Перспективы работы в области автоматизации программирования на базе крупноблочной системы. - В кн.: Труды Математ.ин-та АН СССР им.В.А.Стеклова. Л.,1968,т.96,с.5-15.

2. SHOUMAN W. Orthogonal Processing. - In: Parallel process - sor systems, technologies, and applications.- New York-Washington: Spartan Books,1970,р.297-310.

3. SLOTNICK D.L. Logic per track devices.- In Advances in computers.-New York-London: Academic Press,1970,v.10,p.291-296.

4. ФЕТ Я.И. Функциональные возможности простых вычислительных сред. - АЭТ,1974, № 3, с.48-54.

5. ФЕТ Я.И. Массовая обработка информации в специализированных однородных структурах.- Новосибирск: Наука,1976. - 200 с.

6. ФЕТ Я.И. Параллельные процессоры для управляющих систем.- М.: Энергоиздат, 1981. - 160 с.

7. HENNIE F.C. Finite-state models for logical machines. - New York-London-Sydney, Wiley,1968.- 466 p.

8. LAWRIE D.H. Access and alignment of data in an array processor. - IEEE Trans. on Comput., 1976, v.C-25, N 12, p.1145-1155.

9. BENES V. Mathematical theory of connecting networks. - New York: Academic Press, 1965.

10. BATCHER K.B. Sorting networks and their applications. - In: AFIPS Confer. Proc.,1968,v.32,p.307-314.

11. KAUTZ W.H. Cellular logic-in-memory arrays. - IEEE Trans. on Comput.,1969,v.C-18,N 8,p.719-727.

12. STONE H.S. Parallel processing with the perfect shuffle. - IEEE Trans on Comput.,1971,v.C-20,N 2,p.153-161.

13. ФЕТ Я.И. Специализированные однородные структуры. Синтез схем на основе цифровых компрессоров. - Новосибирск,1982. - 42 с. (Препринт/ Ин-т математики СО АН СССР: № 27).

14. ПРАНГИШВИЛИ И.В. и др. Однородные микроэлектронные ассоциативные процессоры. - М.: Сов.радио,1973. - 280 с.

15. FENG T.-Y. A survey of interconnection networks. -Comput.,1981,N 12,p.12-27.

16. СУВОРОВ Е.В., ФЕТ Я.И. Специализированные процессоры для аппаратной поддержки реляционных баз данных. - Новосибирск, 1981. - 48 с. (Препринт/ Ин-т математики СО АН СССР).

17. СУВОРОВ Е.В. Обобщенный подход к реализации информационно-логических процедур. - Новосибирск,1984. - 52 с. (Препринт/ Ин-т математики СО АН СССР: № 51).

Поступила в ред.-изд.отд.

30 октября 1984 года